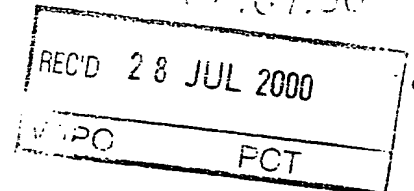


日 本 国 特 許 庁

PATENT OFFICE
JAPANESE GOVERNMENT

09/787036



JP00/4763

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日

Date of Application:

1999年 7月14日

4

出 願 番 号

Application Number:

平成11年特許願第200843号

出 願 人

Applicant(s):

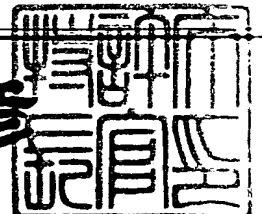
ソニー株式会社

PRIORITY
DOCUMENTSUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH RULE 17.1(a) OR (b)

2000年 6月 9日

特許庁長官
Commissioner,
Patent Office

近 藤 隆 彦



出証番号 出証特2000-3042670

【書類名】 特許願
 【整理番号】 9900561206
 【提出日】 平成11年 7月14日
 【あて先】 特許庁長官 殿
 【国際特許分類】 G09F 9/30
 【発明者】

【住所又は居所】 東京都品川区北品川6丁目7番35号 ソニー株式会社
 内

【氏名】 湯本 昭

【特許出願人】

【識別番号】 000002185

【氏名又は名称】 ソニー株式会社

【代表者】 出井 伸之

【代理人】

【識別番号】 100092336

【弁理士】

【氏名又は名称】 鈴木晴敏

【電話番号】 0466-54-2640

【手数料の表示】

【予納台帳番号】 010191

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9709206

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 表示装置

【特許請求の範囲】

【請求項 1】 走査線を順次選択する走査線駆動回路と、
輝度情報に応じた電流レベルを有する信号電流を生成して逐次データ線に供給する電流源を含むデータ線駆動回路と、

各走査線及び各データ線の交差部に配されていると共に、駆動電流の供給を受けて発光する電流駆動型の発光素子を含む複数の画素とを備えた

表示装置であって、

当該画素は、

当該走査線が選択されたとき、当該データ線から信号電流を取り込む受入部と

取り込んだ信号電流の電流レベルを一旦電圧レベルに変換して保持する変換部と、

保持された電圧レベルに応じた電流レベルを有する駆動電流を当該発光素子に流す駆動部とを含む

表示装置。

【請求項 2】 前記変換部は、ゲート、ソース、ドレイン及びチャネルを備えた変換用絶縁ゲート型電界効果トランジスタと、該ゲートに接続した容量とを含んでおり、

前記変換用絶縁ゲート型電界効果トランジスタは、該受入部によって取り込まれた信号電流を該チャネルに流して変換された電圧レベルを該ゲートに発生させ、前記容量は該ゲートに生じた電圧レベルを保持する請求項 1 記載の表示装置。

【請求項 3】 前記変換部は、該変換用絶縁ゲート型電界効果トランジスタのドレインとゲートとの間に挿入されたスイッチ用絶縁ゲート型電界効果トランジスタを含んでおり、

該スイッチ用絶縁ゲート型電界効果トランジスタは、信号電流の電流レベルを電圧レベルに変換する時に導通し、該変換用絶縁ゲート型電界効果トランジスタのドレインとゲートを電氣的に接続してソースを基準とする電圧レベルをゲート

に生ぜしめる一方、

該スイッチ用絶縁ゲート型電界効果トランジスタは、電圧レベルを該容量に保持する時に遮断され、該変換用絶縁ゲート型電界効果トランジスタのゲート及びこれに接続した該容量をドレインから切り離す請求項 2 記載記載の表示装置。

【請求項 4】 前記駆動部は、ゲート、ドレイン、ソース及びチャネルを備えた駆動用絶縁ゲート型電界効果トランジスタを含んでおり、

前記駆動用絶縁ゲート型電界効果トランジスタは、該容量に保持された電圧レベルをゲートに受け入れそれに応じた電流レベルを有する駆動電流をチャネルを介して該発光素子に流す請求項 2 記載の表示装置。

【請求項 5】 前記変換用絶縁ゲート型電界効果トランジスタのゲートと前記駆動用絶縁ゲート型電界効果トランジスタのゲートとが直接に接続されてカレントミラー回路を構成し、信号電流の電流レベルと駆動電流の電流レベルとが比例関係となる様にした請求項 4 記載の表示装置。

【請求項 6】 前記駆動用絶縁ゲート型電界効果トランジスタは、画素内で対応する変換用絶縁ゲート型電界効果トランジスタの近傍に形成されており、該変換用絶縁ゲート型電界効果トランジスタと同等の閾電圧を有する請求項 4 記載の表示装置。

【請求項 7】 前記駆動用絶縁ゲート型電界効果トランジスタは飽和領域で動作し、そのゲートに印加された電圧レベルと閾電圧との差に応じた駆動電流を該発光素子に流す請求項 6 記載の表示装置。

【請求項 8】 前記駆動部は、該変換部との間で該変換用絶縁ゲート型電界効果トランジスタを時分割的に共用しており、

前記駆動部は、信号電流の変換を完了した後該変換用絶縁ゲート型電界効果トランジスタを該受入部から切り離して駆動用とし、保持された電圧レベルを該変換用絶縁ゲート型電界効果トランジスタのゲートに印加した状態でチャネルを通じ駆動電流を該発光素子に流す請求項 2 記載の表示装置。

【請求項 9】 前記駆動部は、駆動時以外に該変換用絶縁ゲート型電界効果トランジスタを介して該発光素子に流れる不要電流を遮断する制御手段を有する請求項 8 記載の表示装置。

【請求項 10】 前記制御手段は、整流作用を有する二端子型の発光素子の端子間電圧を制御して不要電流を遮断する請求項 9 記載の表示装置。

【請求項 11】 前記制御手段は、該変換用絶縁ゲート型電界効果トランジスタと該発光素子との間に挿入された制御用絶縁ゲート型電界効果トランジスタからなり、

該制御用絶縁ゲート型電界効果トランジスタは、該発光素子の非駆動時に非導通状態となって該変換用絶縁ゲート型電界効果トランジスタと該発光素子とを切り離し、該発光素子の駆動時には導通状態に切り替わる請求項 9 記載の表示装置

。 【請求項 12】 前記制御手段は、非駆動時に駆動電流を遮断して該発光素子を非発光状態に置く時間と、駆動時に駆動電流を流して該発光素子を発光状態に置く時間の割合を制御して、各画素の輝度を調整可能にした請求項 9 記載の表示装置。

【請求項 13】 前記駆動部は、該変換用絶縁ゲート型電界効果トランジスタを通して該発光素子に流れる駆動電流の電流レベルを安定化するために、該変換用絶縁ゲート型電界効果トランジスタのソースを基準にしたドレインの電位を固定化する電位固定手段を有する請求項 8 記載の表示装置。

【請求項 14】 前記受入部、前記変換部及び前記駆動部は複数の絶縁ゲート型電界効果トランジスタを組み合わせた電流回路を構成し、

1 つまたは 2 つ以上の絶縁ゲート型電界効果トランジスタは電流回路中の電流リークを抑制するためにダブルゲート構造を有する請求項 1 記載の表示装置。

【請求項 15】 前記駆動部は、ゲート、ドレイン及びソースを備えた絶縁ゲート型電界効果トランジスタを含み、ゲートに印加された電圧レベルに応じてドレインとソースの間を通る駆動電流を該発光素子に流し、

該発光素子は、アノード及びカソードを有する二端子型であり、カソードがドレインに接続している請求項 1 記載の表示装置。

【請求項 16】 前記駆動部は、ゲート、ドレイン及びソースを備えた絶縁ゲート型電界効果トランジスタを含み、ゲートに印加された電圧レベルに応じてドレインとソースの間を通る駆動電流を該発光素子に流し、

該発光素子は、アノード及びカソードを有する二端子型であり、アノードがソースに接続している請求項 1 記載の表示装置。

【請求項 17】 前記変換部によって保持された電圧レベルを下方調整して前記駆動部に供給する調整手段を含んでおり、各画素の輝度の黒レベルを引き締める請求項 1 記載の表示装置。

【請求項 18】 前記駆動部は、ゲート、ドレイン及びソースを有する絶縁ゲート型電界効果トランジスタを含んでおり、

前記調整手段は、該絶縁ゲート型電界効果トランジスタのゲートとソース間の電圧を底上げしてゲートに印加される電圧レベルを下方調整する請求項 17 記載の表示装置。

【請求項 19】 前記駆動部は、ゲート、ドレイン及びソースを有する絶縁ゲート型電界効果トランジスタを含んでおり、

前記変換部は該薄膜トランジスタのゲートに接続され且つ該電圧レベルを保持する容量を備えており、

前記調整手段は、該容量に接続した追加容量からなり、該容量に保持された該絶縁ゲート型電界効果トランジスタのゲートに印加されるべき電圧レベルを下方調整する請求項 17 記載の表示装置。

【請求項 20】 前記駆動部は、ゲート、ドレイン及びソースを有する絶縁ゲート型電界効果トランジスタを含んでおり、

前記変換部は一端が該薄膜トランジスタのゲートに接続され且つ該電圧レベルを保持する容量を備えており、

前記調整手段は、該変換部によって変換された該電圧レベルを該容量に保持する時該容量の他端の電位を調整して、該絶縁ゲート型電界効果トランジスタのゲートに印加されるべき電圧レベルを下方調整する請求項 17 記載の表示装置。

【請求項 21】 前記発光素子は有機エレクトロルミネッセンス素子を用いる請求項 1 記載の表示装置。

【請求項 22】 輝度情報に応じた電流レベルの信号電流を供給するデータ線と選択パルスを供給する走査線との交差部に配され、駆動電流により発光する電流駆動型の発光素子を駆動する画素回路であって、

該走査線からの選択パルスに応答して該データ線から信号電流を取り込む受入部と、

取り込んだ信号電流の電流レベルを一旦電圧レベルに変換して保持する変換部と、

保持された電圧レベルに応じた電流レベルを有する駆動電流を当該発光素子に流す駆動部とを含む

画素回路。

【請求項 23】 前記変換部は、ゲート、ソース、ドレイン及びチャネルを備えた変換用絶縁ゲート型電界効果トランジスタと、該ゲートに接続した容量とを含んでおり、

前記変換用絶縁ゲート型電界効果トランジスタは、該受入部によって取り込まれた信号電流を該チャネルに流して変換された電圧レベルを該ゲートに発生させ、前記容量は該ゲートに生じた電圧レベルを保持する請求項 22 記載の画素回路

【請求項 24】 前記変換部は、該変換用絶縁ゲート型電界効果トランジスタのドレインとゲートとの間に挿入されたスイッチ用絶縁ゲート型電界効果トランジスタを含んでおり、

該スイッチ用絶縁ゲート型電界効果トランジスタは、信号電流の電流レベルを電圧レベルに変換する時に導通し、該変換用絶縁ゲート型電界効果トランジスタのドレインとゲートを電氣的に接続してソースを基準とする電圧レベルをゲートに生ぜしめる一方、

該スイッチ用絶縁ゲート型電界効果トランジスタは、電圧レベルを該容量に保持する時に遮断され、該変換用絶縁ゲート型電界効果トランジスタのゲート及びこれに接続した該容量をドレインから切り離す請求項 23 記載記載の画素回路。

【請求項 25】 前記駆動部は、ゲート、ドレイン、ソース及びチャネルを備えた駆動用絶縁ゲート型電界効果トランジスタを含んでおり、

前記駆動用絶縁ゲート型電界効果トランジスタは、該容量に保持された電圧レベルをゲートに受け入れそれに応じた電流レベルを有する駆動電流をチャネルを介して該発光素子に流す請求項 23 記載の画素回路。

【請求項 26】 前記変換用絶縁ゲート型電界効果トランジスタのゲートと前記駆動用絶縁ゲート型電界効果トランジスタのゲートとが直接に接続されてカレントミラー回路を構成し、信号電流の電流レベルと駆動電流の電流レベルとが比例関係となる様にした請求項 25 記載の画素回路。

【請求項 27】 前記駆動用絶縁ゲート型電界効果トランジスタは、画素内で対応する変換用絶縁ゲート型電界効果トランジスタの近傍に形成されており、該変換用絶縁ゲート型電界効果トランジスタと同等の閾電圧を有する請求項 25 記載の画素回路。

【請求項 28】 前記駆動用絶縁ゲート型電界効果トランジスタは飽和領域で動作し、そのゲートに印加された電圧レベルと閾電圧との差に応じた駆動電流を該発光素子に流す請求項 27 記載の画素回路。

【請求項 29】 前記駆動部は、該変換部との間で該変換用絶縁ゲート型電界効果トランジスタを時分割的に共用しており、

前記駆動部は、信号電流の変換を完了した後該変換用絶縁ゲート型電界効果トランジスタを該受入部から切り離して駆動用とし、保持された電圧レベルを該変換用絶縁ゲート型電界効果トランジスタのゲートに印加した状態でチャンネルを通じ駆動電流を該発光素子に流す請求項 23 記載の画素回路。

【請求項 30】 前記駆動部は、駆動時以外に該変換用絶縁ゲート型電界効果トランジスタを介して該発光素子に流れる不要電流を遮断する制御手段を有する請求項 29 記載の画素回路。

【請求項 31】 前記制御手段は、整流作用を有する二端子型の発光素子の端子間電圧を制御して不要電流を遮断する請求項 30 記載の画素回路。

【請求項 32】 前記制御手段は、該変換用絶縁ゲート型電界効果トランジスタと該発光素子との間に挿入された制御用絶縁ゲート型電界効果トランジスタからなり、

該制御用絶縁ゲート型電界効果トランジスタは、該発光素子の非駆動時に非導通状態となって該変換用絶縁ゲート型電界効果トランジスタと該発光素子とを切り離し、該発光素子の駆動時には導通状態に切り替わる請求項 30 記載の画素回路。

【請求項 33】 前記制御手段は、非駆動時に駆動電流を遮断して該発光素子を非発光状態に置く時間と、駆動時に駆動電流を流して該発光素子を発光状態に置く時間の割合を制御して、各画素の輝度を調整可能にした請求項 30 記載の画素回路。

【請求項 34】 前記駆動部は、該変換用絶縁ゲート型電界効果トランジスタを通して該発光素子に流れる駆動電流の電流レベルを安定化するために、該変換用絶縁ゲート型電界効果トランジスタのソースを基準にしたドレインの電位を固定化する電位固定手段を有する請求項 29 記載の画素回路。

【請求項 35】 前記受入部、前記変換部及び前記駆動部は複数の絶縁ゲート型電界効果トランジスタを組み合わせて画素回路を構成し、

1 つまたは 2 つ以上の絶縁ゲート型電界効果トランジスタは画素回路中の電流リークを抑制するためにダブルゲート構造を有する請求項 22 記載の画素回路。

【請求項 36】 前記駆動部は、ゲート、ドレイン及びソースを備えた絶縁ゲート型電界効果トランジスタを含み、ゲートに印加された電圧レベルに応じてドレインとソースの間を通る駆動電流を該発光素子に流し、

該発光素子は、アノード及びカソードを有する二端子型であり、カソードがドレインに接続している請求項 22 記載の画素回路。

【請求項 37】 前記駆動部は、ゲート、ドレイン及びソースを備えた絶縁ゲート型電界効果トランジスタを含み、ゲートに印加された電圧レベルに応じてドレインとソースの間を通る駆動電流を該発光素子に流し、

該発光素子は、アノード及びカソードを有する二端子型であり、アノードがソースに接続している請求項 22 記載の画素回路。

【請求項 38】 前記変換部によって保持された電圧レベルを下方調整して前記駆動部に供給する調整手段を含んでおり、各画素の輝度の黒レベルを引き締める請求項 22 記載の画素回路。

【請求項 39】 前記駆動部は、ゲート、ドレイン及びソースを有する絶縁ゲート型電界効果トランジスタを含んでおり、

前記調整手段は、該絶縁ゲート型電界効果トランジスタのゲートとソース間の電圧を底上げしてゲートに印加される電圧レベルを下方調整する請求項 38 記載

の画素回路。

【請求項 4 0】 前記駆動部は、ゲート、ドレイン及びソースを有する絶縁ゲート型電界効果トランジスタを含んでおり、

前記変換部は該薄膜トランジスタのゲートに接続され且つ該電圧レベルを保持する容量を備えており、

前記調整手段は、該容量に接続した追加容量からなり、該容量に保持された該絶縁ゲート型電界効果トランジスタのゲートに印加されるべき電圧レベルを下方調整する請求項 3 8 記載の画素回路。

【請求項 4 1】 前記駆動部は、ゲート、ドレイン及びソースを有する絶縁ゲート型電界効果トランジスタを含んでおり、

前記変換部は一端が該薄膜トランジスタのゲートに接続され且つ該電圧レベルを保持する容量を備えており、

前記調整手段は、該変換部によって変換された該電圧レベルを該容量に保持する時該容量の他端の電位を調整して、該絶縁ゲート型電界効果トランジスタのゲートに印加されるべき電圧レベルを下方調整する請求項 3 8 記載の画素回路。

【請求項 4 2】 前記発光素子は有機エレクトロルミネッセンス素子を用いる請求項 2 2 記載の画素回路。

【請求項 4 3】 輝度情報に応じた電流レベルの信号電流を供給するデータ線と選択パルスを供給する走査線との交差部に配され、駆動電流により発光する電流駆動型の発光素子を駆動する発光素子の駆動方法であって、

該走査線からの選択パルスに応答して該データ線から信号電流を取り込む受入手順と、

取り込んだ信号電流の電流レベルを一旦電圧レベルに変換して保持する変換手順と、

保持された電圧レベルに応じた電流レベルを有する駆動電流を当該発光素子に流す駆動手順とを含む

発光素子の駆動方法。

【請求項 4 4】 前記変換手順は、ゲート、ソース、ドレイン及びチャネルを備えた変換用絶縁ゲート型電界効果トランジスタと、該ゲートに接続した容量

とを用いる手順を含んでおり、

該手順において、該変換用絶縁ゲート型電界効果トランジスタは、該受入手順によって取り込まれた信号電流を該チャンネルに流して変換された電圧レベルを該ゲートに発生させ、前記容量は該ゲートに生じた電圧レベルを保持する請求項 4 3 記載の発光素子の駆動方法。

【請求項 4 5】 前記変換手順は、該変換用絶縁ゲート型電界効果トランジスタのドレインとゲートとの間に挿入されたスイッチ用絶縁ゲート型電界効果トランジスタを用いる手順を含んでおり、

該手順において、該スイッチ用絶縁ゲート型電界効果トランジスタは、該変換用絶縁ゲート型電界効果トランジスタが信号電流の電流レベルを電圧レベルに変換する時に導通し、該変換用絶縁ゲート型電界効果トランジスタのドレインとゲートを電氣的に接続してソースを基準とする電圧レベルをゲートに生ぜしめる一方、

該スイッチ用絶縁ゲート型電界効果トランジスタは、電圧レベルを該容量に保持する時に遮断され、該変換用絶縁ゲート型電界効果トランジスタのゲート及びこれに接続した該容量をドレインから切り離す請求項 4 4 記載記載の発光素子の駆動方法。

【請求項 4 6】 前記駆動手順は、ゲート、ドレイン、ソース及びチャンネルを備えた駆動用絶縁ゲート型電界効果トランジスタを用いる手順を含んでおり、

該手順において、該駆動用絶縁ゲート型電界効果トランジスタは、該容量に保持された電圧レベルをゲートに受け入れそれに応じた電流レベルを有する駆動電流をチャンネルを介して該発光素子に流す請求項 4 4 記載の発光素子の駆動方法。

【請求項 4 7】 該変換用絶縁ゲート型電界効果トランジスタのゲートと該駆動用絶縁ゲート型電界効果トランジスタのゲートとが直接に接続されてカレントミラー回路を構成し、信号電流の電流レベルと駆動電流の電流レベルとが比例関係となる様にした請求項 4 6 記載の発光素子の駆動方法。

【請求項 4 8】 該駆動用絶縁ゲート型電界効果トランジスタは、画素内で対応する変換用絶縁ゲート型電界効果トランジスタの近傍に形成されており、該変換用絶縁ゲート型電界効果トランジスタと同等の閾電圧を有する請求項 4 6 記

載の発光素子の駆動方法。

【請求項 4 9】 該駆動用絶縁ゲート型電界効果トランジスタは飽和領域で動作し、そのゲートに印加された電圧レベルと閾電圧との差に応じた駆動電流を該発光素子に流す請求項 4 8 記載の発光素子の駆動方法。

【請求項 5 0】 前記駆動手順は、変換手順とで該変換用絶縁ゲート型電界効果トランジスタを時分割的に共用しており、

前記駆動手順は、信号電流の変換を完了した後該変換用絶縁ゲート型電界効果トランジスタを該受入手順から切り離して駆動用とし、保持された電圧レベルを該変換用絶縁ゲート型電界効果トランジスタのゲートに印加した状態でチャネルを通じ駆動電流を該発光素子に流す請求項 4 4 記載の発光素子の駆動方法。

【請求項 5 1】 前記駆動手順は、駆動時以外に該変換用絶縁ゲート型電界効果トランジスタを介して該発光素子に流れる不要電流を遮断する制御手順を含む請求項 5 0 記載の発光素子の駆動方法。

【請求項 5 2】 前記制御手順は、整流作用を有する二端子型の発光素子の端子間電圧を制御して不要電流を遮断する請求項 5 1 記載の発光素子の駆動方法。

【請求項 5 3】 前記制御手順は、該変換用絶縁ゲート型電界効果トランジスタと該発光素子との間に挿入された制御用絶縁ゲート型電界効果トランジスタを用いる手順であり、

該手順において、該制御用絶縁ゲート型電界効果トランジスタは、非駆動時に非導通状態となって該変換用絶縁ゲート型電界効果トランジスタと該発光素子とを切り離し、駆動時には導通状態に切り替わる請求項 5 1 記載の発光素子の駆動方法。

【請求項 5 4】 前記制御手順は、非駆動時に駆動電流を遮断して該発光素子を非発光状態に置く時間と、駆動時に駆動電流を流して該発光素子を発光状態に置く時間の割合を制御して、各画素の輝度を調整可能にした請求項 5 1 記載の発光素子の駆動方法。

【請求項 5 5】 前記駆動手順は、該変換用絶縁ゲート型電界効果トランジスタを通して該発光素子に流れる駆動電流の電流レベルを安定化するために、該

変換用絶縁ゲート型電界効果トランジスタのソースを基準にしたドレインの電位を固定化する電位固定手順を含む請求項 50 記載の発光素子の駆動方法。

【請求項 56】 前記受入手順、前記変換手順及び前記駆動手順は複数の絶縁ゲート型電界効果トランジスタを組み合わせた電流回路の上で実行され、

1 つまたは 2 つ以上の絶縁ゲート型電界効果トランジスタは、該電流回路で各手順を実行中に電流リークを抑制するためダブルゲート構造を有する請求項 43 記載の発光素子の駆動方法。

【請求項 57】 前記駆動手順は、ゲート、ドレイン及びソースを備えた絶縁ゲート型電界効果トランジスタを用いて行なわれ、ゲートに印加された電圧レベルに応じてドレインとソースの間を通る駆動電流を該発光素子に流し、

該発光素子は、アノード及びカソードを有する二端子型であり、カソードがドレインに接続している請求項 43 記載の発光素子の駆動方法。

【請求項 58】 前記駆動手順は、ゲート、ドレイン及びソースを備えた絶縁ゲート型電界効果トランジスタを用いて行なわれ、ゲートに印加された電圧レベルに応じてドレインとソースの間を通る駆動電流を該発光素子に流し、

該発光素子は、アノード及びカソードを有する二端子型であり、アノードがソースに接続している請求項 43 記載の発光素子の駆動方法。

【請求項 59】 前記変換手順によって保持された電圧レベルを下方調整して前記駆動手順に渡す調整手順を含んでおり、各画素の輝度の黒レベルを引き締める請求項 43 記載の発光素子の駆動方法。

【請求項 60】 前記駆動手順は、ゲート、ドレイン及びソースを有する絶縁ゲート型電界効果トランジスタを用い、

前記調整手順は、該絶縁ゲート型電界効果トランジスタのゲートとソース間の電圧を底上げしてゲートに印加される電圧レベルを下方調整する請求項 59 記載の発光素子の駆動方法。

【請求項 61】 前記駆動手順は、ゲート、ドレイン及びソースを有する絶縁ゲート型電界効果トランジスタを用い、

前記変換変換手順は該薄膜トランジスタのゲートに接続され且つ該電圧レベルを保持する容量を用い、

前記調整手順は、該容量に接続した追加容量を用い、該容量に保持された該絶縁ゲート型電界効果トランジスタのゲートに印加されるべき電圧レベルを下方調整する請求項 5 9 記載の発光素子の駆動方法。

【請求項 6 2】 前記駆動手順は、ゲート、ドレイン及びソースを有する絶縁ゲート型電界効果トランジスタを用い、

前記変換手順は、一端が該薄膜トランジスタのゲートに接続され且つ該電圧レベルを保持する容量を用い、

前記調整手順は、該変換手順によって変換された該電圧レベルを該容量に保持する時該容量の他端の電位を調整して、該絶縁ゲート型電界効果トランジスタのゲートに印加されるべき電圧レベルを下方調整する請求項 5 9 記載の発光素子の駆動方法。

【請求項 6 3】 前記発光素子は有機エレクトロルミネッセンス素子を用いる請求項 4 3 記載の発光素子の駆動方法。

【請求項 6 4】 画素を選択するための走査線と、画素を駆動するための輝度情報を与えるデータ線とがマトリクス状に配設され、

各画素は、供給される電流量によって輝度が変わる発光素子と、走査線によって制御され且つデータ線から与えられた輝度情報を画素に書き込む書込手段と、該書き込まれた輝度情報に応じて該発光素子に供給する電流量を制御する駆動手段とを含み、

各画素への輝度情報の書き込みは、走査線が選択された状態で、データ線に輝度情報に応じた電気信号を印加することによって行われ、

各画素に書き込まれた輝度情報は走査線が非選択となった後も各画素に保持され、各画素の発光素子は保持された輝度情報に応じた輝度で点灯を維持可能な表示装置であって、

前記書込手段によって書き込まれた輝度情報を下方調整して前記駆動手段に供給する調整手段を含んでおり、各画素の輝度の黒レベルを引き締めることを特徴とする表示装置。

【請求項 6 5】 輝度情報を供給するデータ線と選択パルスを提供する走査線との交差部に配され、輝度情報に応じて発光する発光素子を有する画素を駆動

する画素回路であって、

走査線によって制御され且つデータ線から与えられた輝度情報を画素に書き込む書込手段と、該書き込まれた輝度情報に応じて該発光素子に供給する電流量を制御する駆動手段とを含み、

各画素への輝度情報の書き込みは、走査線が選択された状態で、データ線に輝度情報に応じた電気信号を印加することによって行われ、

各画素に書き込まれた輝度情報は走査線が非選択となった後も各画素に保持され、各画素の発光素子は保持された輝度情報に応じた輝度で点灯を維持可能であって、

前記書込手段によって書き込まれた輝度情報を下方調整して前記駆動手段に供給する調整手段を含んでおり、各画素の輝度の黒レベルを引き締めることを特徴とする画素回路。

【請求項 6 6】 画素を選択するための走査線と、画素を駆動するための輝度情報を与えるデータ線とがマトリクス状に配設され、各画素は供給される電流量によって輝度に変化する発光素子を含む表示装置の駆動方法であって、

走査線によって制御され且つデータ線から与えられた輝度情報を画素に書き込む書込手順と、該書き込まれた輝度情報に応じて該発光素子に供給する電流量を制御する駆動手順とを含み、

各画素への輝度情報の書き込みは、走査線が選択された状態で、データ線に輝度情報に応じた電気信号を印加することによって行われ、

各画素に書き込まれた輝度情報は走査線が非選択となった後も各画素に保持され、各画素の発光素子は保持された輝度情報に応じた輝度で点灯を維持可能であって、

前記書込手順によって書き込まれた輝度情報を下方調整して前記駆動手順に渡す調整手順を含んでおり、各画素の輝度の黒レベルを引き締めることを特徴とする表示装置の駆動方法。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、有機エレクトロルミネッセンス（E L）素子等の、電流によって輝度が制御される発光素子を各画素毎に備えた表示装置に関する。より詳しくは、各画素内に設けられた絶縁ゲート型電界効果トランジスタ等の能動素子によって発光素子に供給する電流量が制御される、所謂アクティブマトリクス型の画像表示装置に関する。

【 0 0 0 2 】

【従来の技術】

一般に、アクティブマトリクス型の画像表示装置では、多数の画素をマトリクス状に並べ、与えられた輝度情報に応じて画素毎に光強度を制御することによって画像を表示する。電気光学物質として液晶を用いた場合には、各画素に書き込まれる電圧に応じて画素の透過率が変化する。電気光学物質として有機エレクトロルミネッセンス材料を用いたアクティブマトリクス型の画像表示装置でも、基本的な動作は液晶を用いた場合と同様である。しかし液晶ディスプレイと異なり、有機 E L ディスプレイは各画素に発光素子を有する、所謂自発光型であり、液晶ディスプレイに比べて画像の視認性が高い、バックライトが不要、応答速度が速い等の利点を有する。個々の発光素子の輝度は電流量によって制御される。即ち、発光素子が電流駆動型或いは電流制御型であるという点で液晶ディスプレイ等とは大きく異なる。

【 0 0 0 3 】

液晶ディスプレイと同様、有機 E L ディスプレイもその駆動方式として単純マトリクス方式とアクティブマトリクス方式とが可能である。前者は構造が単純であるものの大型且つ高精細のディスプレイの実現が困難であるため、アクティブマトリクス方式の開発が盛んに行われている。アクティブマトリクス方式は、各画素に設けた発光素子に流れる電流を画素内部に設けた能動素子（一般には、絶縁ゲート型電界効果トランジスタの一種であるトランジスタ、以下 T F T と呼ぶ場合がある）によって制御する。このアクティブマトリクス方式の有機 E L ディスプレイは例えば特開平 8 - 2 3 4 6 8 3 号公報に開示されており、一画素分の等価回路を図 1 に示す。画素は発光素子 O L E D、第一の薄膜トランジスタ T F T 1、第二の薄膜トランジスタ T F T 2 及び保持容量 C からなる。発光素子は有

機エレクトロルミネッセンス（EL）素子である。有機EL素子は多くの場合整流性があるため、OLED（有機発光ダイオード）と呼ばれることがあり、図では発光素子OLEDとしてダイオードの記号を用いている。但し、発光素子は必ずしもOLEDに限るものではなく、素子に流れる電流量によって輝度が制御されるものであればよい。また、発光素子に必ずしも整流性が要求されるものではない。図示の例では、TFT2のソースを基準電位（接地電位）とし、発光素子OLEDのアノード（陽極）はV_{dd}（電源電位）に接続される一方、カソード（陰極）はTFT2のドレインに接続されている。一方、TFT1のゲートは走査線scanに接続され、ソースはデータ線dataに接続され、ドレインは保持容量C及びTFT2のゲートに接続されている。

【0004】

画素を動作させるために、まず、走査線scanを選択状態とし、データ線dataに輝度情報を表すデータ電位V_wを印加すると、TFT1が導通し、保持容量Cが充電又は放電され、TFT2のゲート電位はデータ電位V_wに一致する。走査線scanを非選択状態とすると、TFT1がオフになり、TFT2は電氣的にデータ線dataから切り離されるが、TFT2のゲート電位は保持容量Cによって安定に保持される。TFT2を介して発光素子OLEDに流れる電流は、TFT2のゲート／ソース間電圧V_{gs}に応じた値となり、発光素子OLEDはTFT2を通して供給される電流量に応じた輝度で発光し続ける。

【0005】

さて、TFT2のドレイン／ソース間に流れる電流をI_{ds}とすると、これがOLEDに流れる駆動電流である。TFT2が飽和領域で動作するものとする、I_{ds}は以下の式で表される。

$$\begin{aligned} I_{ds} &= \mu \cdot C_{ox} \cdot W/L/2 (V_{gs} - V_{th})^2 \\ &= \mu \cdot C_{ox} \cdot W/L/2 (V_w - V_{th})^2 \quad \dots (1) \end{aligned}$$

ここでC_{ox}は単位面積辺りのゲート容量であり、以下の式で与えられる。

$$C_{ox} = \epsilon_0 \cdot \epsilon_r / d \quad \dots (2)$$

(1) 式及び(2) 式中、V_{th}はTFT2の閾値を示し、μはキャリアの移動度を示し、Wはチャネル幅を示し、Lはチャネル長を示し、ε₀は真空の誘電

率を示し、 ϵ_r はゲート絶縁膜の比誘電率を示し、 d はゲート絶縁膜の厚みである。

【0006】

(1) 式によれば、画素へ書き込む電位 V_w によって I_{ds} を制御でき、結果として発光素子 OLED の輝度を制御できることになる。ここで、TFT2 を飽和領域で動作させる理由は次の通りである。即ち、飽和領域においては I_{ds} は V_{gs} のみによって制御され、ドレイン／ソース間電圧 V_{ds} には依存しないため、OLED の特性ばらつきにより V_{ds} が変動しても、所定量の駆動電流 I_{ds} を OLED に流すことができるからである。

【0007】

上述したように、図 1 に示した画素の回路構成では、一度 V_w の書き込みを行えば、次に書き換えられるまで一走査サイクル（一フレーム）の間、OLED は一定の輝度で発光を継続する。このような画素を図 2 のようにマトリクス状に多数配列すると、アクティブマトリクス型表示装置を構成することができる。図 2 に示すように、従来の表示装置は、所定の走査サイクル（例えば NTSC 規格に従ったフレーム周期）で画素 25 を選択するための走査線 $scan1$ 乃至 $scanN$ と、画素 25 を駆動するための輝度情報（データ電位 V_w ）を与えるデータ線 $data$ とがマトリクス状に配設されている。走査線 $scan1$ 乃至 $scanN$ は走査線駆動回路 21 に接続される一方、データ線 $data$ はデータ線駆動回路 22 に接続される。走査線駆動回路 21 によって走査線 $scan1$ 乃至 $scanN$ を順次選択しながら、データ線駆動回路 22 によってデータ線 $data$ から V_w の書き込みを繰り返すことにより、所望の画像を表示することができる。単純マトリクス型の表示装置では、各画素に含まれる発光素子は、選択された瞬間にのみ発光するのに対し、図 2 に示したアクティブマトリクス型の表示装置では、書き込み終了後も各画素 25 の発光素子が発光を継続するため、単純マトリクス型に比べ発光素子の駆動電流のレベルを下げられるなどの点で、取り分け大型高精細のディスプレイでは有利となる。

【0008】

図 3 は、図 2 に示した画素 25 の断面構造を模式的に表している。但し、図示

を容易にするため、OLEDとTFT2のみを表している。OLEDは、透明電極10、有機EL層11及び金属電極12を順に重ねたものである。透明電極10は画素毎に分離しておりOLEDのアノードとして機能し、例えばITO等の透明導電膜からなる。金属電極12は画素間で共通接続されており、OLEDのカソードとして機能する。即ち、金属電極12は所定の電源電位V_{dd}に共通接続されている。有機EL層11は例えば正孔輸送層と電子輸送層とを重ねた複合膜となっている。例えば、アノード（正孔注入電極）として機能する透明電極10の上に正孔輸送層としてDiamyneを蒸着し、その上に電子輸送層としてAlq3を蒸着し、更にその上にカソード（電子注入電極）として機能する金属電極12を成膜する。尚、Alq3は、8-hydroxy quinoline aluminumを表している。このような積層構造を有するOLEDは一例に過ぎない。かかる構成を有するOLEDのアノード／カソード間に順方向の電圧（10V程度）を印加すると、電子や正孔等キャリアの注入が起こり、発光が観測される。OLEDの動作は、正孔輸送層から注入された正孔と電子輸送層から注入された電子より形成された励起子による発光と考えられる。

【0009】

一方、TFT2はガラス等からなる基板1の上に形成されたゲート電極2と、その上面に重ねられたゲート絶縁膜3と、このゲート絶縁膜3を介してゲート電極2の上方に重ねられた半導体薄膜4とからなる。この半導体薄膜4は例えば多結晶シリコン薄膜からなる。TFT2はOLEDに供給される電流の通路となるソースS、チャネルCh及びドレインDを備えている。チャネルChは丁度ゲート電極2の直上に位置する。このボトムゲート構造のTFT2は層間絶縁膜5により被覆されており、その上にはソース電極6及びドレイン電極7が形成されている。これらの上には別の層間絶縁膜9を介して前述したOLEDが成膜されている。なお、図3の例ではTFT2のドレインにOLEDのアノードを接続する為、TFT2としてPチャネル薄膜トランジスタを用いている。

【0010】

【発明が解決しようとする課題】

アクティブマトリクス型有機ELディスプレイにおいては、能動素子として一

般にガラス基板上に形成されたTFT (Thin Film Transistor、薄膜トランジスタ) が利用されるが、これは次の理由による。すなわち、有機ELディスプレイは直視型であるという性質上、そのサイズは比較的大型となり、コストや製造設備の制約などから、能動素子の形成のために単結晶シリコン基板を用いることは現実的でない。更に、発光素子から光を取り出すために、有機EL層のアノード(陽極)として、通常は透明導電膜であるITO (Indium Tin Oxide) が使用されるが、ITOは一般に有機EL層が耐えられない高温下で成膜されることが多く、この場合ITOは有機EL層が形成される以前に形成しておく必要がある。従って、製造工程は概ね以下のようになる。

【0011】

再び図3を参照すると、先ずガラス基板1上にゲート電極2、ゲート絶縁膜3、アモルファスシリコン (Amorphous Silicon、非晶質シリコン) からなる半導体薄膜4を順次堆積・パタニングし、TFT2を形成する。場合によってはアモルファスシリコンをレーザアニール等の熱処理によってポリシリコン(多結晶シリコン)化することもある。その場合一般的に、アモルファスシリコンに比べてキャリア移動度が大きく、電流駆動能力の大きなTFT2を作ることができる。次に、発光素子OLEDのアノードとなるITO透明電極10を形成する。続いて、有機EL層11を堆積し、発光素子OLEDを形成する。最後に、金属材料(例えばアルミニウム)によって発光素子のカソードとなる金属電極12を形成する。

【0012】

この場合、光の取り出しは基板1の裏側(下面側)からとなるので、基板1には透明な材料(通常はガラス)を使用する必要がある。かかる事情から、アクティブマトリクス型有機ELディスプレイでは、比較的大型のガラス基板1が使用され、能動素子としてはその上に形成することが比較的容易なTFTが使用されるのが普通である。最近では光を基板1の表側(上面側)から取り出す試みもある。その場合においては、基板1はガラスのように透明である必要はないが、大型の基板上に形成するトランジスタとしては、やはりTFTが利用されるのが一

般的である。ところが、T F Tの形成に使用されるアモルファスシリコンやポリシリコンは、単結晶シリコンに比べて結晶性が悪く、伝導機構の制御性が悪いために、形成されたT F Tは特性のばらつきが大きいことが知られている。特に、比較的大型のガラス基板上にポリシリコンT F Tを形成する場合には、ガラス基板の熱変形等の問題を避けるため、通常、上述したようにレーザアニール法が用いられるが、大きなガラス基板に均一にレーザエネルギーを照射することは難しく、ポリシリコンの結晶化の状態が基板内の場所によってばらつきを生ずることが避けられない。

【 0 0 1 3 】

この結果、同一基板上に形成したT F Tでも、その V_{th} （閾値）が画素によって数百mV、場合によっては1V以上ばらつくことも希ではない。この場合、例えば異なる画素に対して同じ信号電位 V_w を書き込んでも、画素によって V_{th} がばらつく結果、前掲の（1）式に従って、O L E Dに流れる電流 I_{ds} は画素毎に大きくばらついて全く所望の値からはずれる結果となり、ディスプレイとして高い画質を期待することはできない。これは V_{th} のみではなく、キャリア移動度 μ 等（1）式の各パラメータのばらつきについても同様のことが言える。また、上記の各パラメータのばらつきは、上述のような画素間のばらつきのみならず、製造ロット毎、あるいは製品毎によってもある程度は変動することが避けられない。このような場合は、O L E Dに流すべき所望の電流 I_{ds} に対し、データ線電位 V_w をどう設定すべきかについて、製品毎に（1）式の各パラメータの出来上がりに応じて決定する必要があるが、これはディスプレイの量産工程においては非現実的であるばかりでなく、環境温度によるT F Tの特性変動、更に長期間の使用によって生ずるT F T特性の経時変化については対策を講ずることが極めて難しい。本発明は、上述の問題に鑑みてなされた画素回路およびその駆動方法に関するものであり、その目的は、画素内部の能動素子の特性ばらつきによらず、安定且つ正確に各画素の発光素子に所望の電流を供給し、その結果として高品位な画像を表示することが可能な表示装置を提供することにある。

【 0 0 1 4 】

【課題を解決するための手段】

上記目的を達成する為に以下の手段を講じた。即ち本発明にかかる表示装置は、走査線を順次選択する走査線駆動回路と、輝度情報に応じた電流レベルを有する信号電流を生成して逐次データ線に供給する電流源を含むデータ線駆動回路と、各走査線及び各データ線の交差部に配されていると共に、駆動電流の供給を受けて発光する電流駆動型の発光素子を含む複数の画素とを備えている。特徴事項として、当該画素は、当該走査線が選択された時当該データ線から信号電流を取り込む受入部と、取り込んだ信号電流の電流レベルを一旦電圧レベルに変換して保持する変換部と、保持された電圧レベルに応じた電流レベルを有する駆動電流を当該発光素子に流す駆動部とからなる。具体的には、前記変換部は、ゲート、

ソース、ドレイン及びチャネルを備えた変換用絶縁ゲート型電界効果トランジスタと、該ゲートに接続した容量とを含んでおり、前記変換用絶縁ゲート型電界効果トランジスタは、該受入部によって取り込まれた信号電流を該チャネルに流して変換された電圧レベルを該ゲートに発生させ、前記容量は該ゲートに生じた電圧レベルを保持する。更に前記変換部は、該変換用絶縁ゲート型電界効果トランジスタのドレインとゲートとの間に挿入されたスイッチ用絶縁ゲート型電界効果トランジスタを含んでいる。該スイッチ用絶縁ゲート型電界効果トランジスタは、信号電流の電流レベルを電圧レベルに変換する時に導通し、該変換用絶縁ゲート型電界効果トランジスタのドレインとゲートを電氣的に接続してソースを基準とする電圧レベルをゲートに生ぜしめる一方、該スイッチ用絶縁ゲート型電界効果トランジスタは、電圧レベルを該容量に保持する時に遮断され、該変換用絶縁ゲート型電界効果トランジスタのゲート及びこれに接続した該容量をドレインから切り離す。

【 0 0 1 5 】

一実施形態では、前記駆動部は、ゲート、ドレイン、ソース及びチャネルを備えた駆動用絶縁ゲート型電界効果トランジスタを含んでいる、この駆動用絶縁ゲート型電界効果トランジスタは、該容量に保持された電圧レベルをゲートに受け入れそれに応じた電流レベルを有する駆動電流をチャネルを介して該発光素子に流す。前記変換用絶縁ゲート型電界効果トランジスタのゲートと前記駆動用絶縁ゲート型電界効果トランジスタのゲートとが直接に接続されてカレントミラー回

路を構成し、信号電流の電流レベルと駆動電流の電流レベルとが比例関係となる様にする。前記駆動用絶縁ゲート型電界効果トランジスタは、画素内で対応する変換用絶縁ゲート型電界効果トランジスタの近傍に形成されており、該変換用絶縁ゲート型電界効果トランジスタと同等の閾電圧を有する。前記駆動用絶縁ゲート型電界効果トランジスタは飽和領域で動作し、そのゲートに印加された電圧レベルと閾電圧との差に応じた駆動電流を該発光素子に流す。

【0016】

他の実施形態では、前記駆動部は、該変換部との間で該変換用絶縁ゲート型電界効果トランジスタを時分割的に共用している。前記駆動部は、信号電流の変換を完了した後該変換用絶縁ゲート型電界効果トランジスタを該受入部から切り離して駆動用とし、保持された電圧レベルを該変換用絶縁ゲート型電界効果トランジスタのゲートに印加した状態でチャネルを通じ駆動電流を該発光素子に流す。前記駆動部は、駆動時以外に該変換用絶縁ゲート型電界効果トランジスタを介して該発光素子に流れる不要電流を遮断する制御手段を有する。前記制御手段は、整流作用を有する二端子型の発光素子の端子間電圧を制御して不要電流を遮断する。或いは、前記制御手段は、該変換用絶縁ゲート型電界効果トランジスタと該発光素子との間に挿入された制御用絶縁ゲート型電界効果トランジスタからなり、該制御用絶縁ゲート型電界効果トランジスタは、発光素子の非駆動時に非導通状態となって該変換用絶縁ゲート型電界効果トランジスタと該発光素子とを切り離し、発光素子の駆動時には導通状態に切り替わる。加えて前記制御手段は、非駆動時に駆動電流を遮断して該発光素子を非発光状態に置く時間と、駆動時に駆動電流を流して該発光素子を発光状態に置く時間との割合を制御して、各画素の輝度を制御可能にする。場合によっては、前記駆動部は、該変換用絶縁ゲート型電界効果トランジスタを通して該発光素子に流れる駆動電流の電流レベルを安定化するために、該変換用絶縁ゲート型電界効果トランジスタのソースを基準にしたドレインの電位を固定化する電位固定手段を有する。

【0017】

本発明の発展形では、前記受入部、前記変換部及び前記駆動部は複数の絶縁ゲート型電界効果トランジスタを組み合わせた電流回路を構成し、1つまたは2つ

以上の絶縁ゲート型電界効果トランジスタは電流回路中の電流リークを抑制するためにダブルゲート構造を有する。又、前記駆動部は、ゲート、ドレイン及びソースを備えた絶縁ゲート型電界効果トランジスタを含み、ゲートに印加された電圧レベルに応じてドレインとソースの間を通る駆動電流を該発光素子に流し、該発光素子は、アノード及びカソードを有する二端子型であり、カソードがドレインに接続している。或いは、前記駆動部は、ゲート、ドレイン及びソースを備えた絶縁ゲート型電界効果トランジスタを含み、ゲートに印加された電圧レベルに応じてドレインとソースの間を通る駆動電流を該発光素子に流し、該発光素子は、アノード及びカソードを有する二端子型であり、アノードがソースに接続している。又、前記変換部によって保持された電圧レベルを下方調整して前記駆動部に供給する調整手段を含んでおり、各画素の輝度の黒レベルを引き締める。この場合、前記駆動部は、ゲート、ドレイン及びソースを有する絶縁ゲート型電界効果トランジスタを含んでおり、前記調整手段は、該絶縁ゲート型電界効果トランジスタのゲートとソース間の電圧を底上げしてゲートに印加される電圧レベルを下方調整する。或いは、前記駆動部は、ゲート、ドレイン及びソースを有する絶縁ゲート型電界効果トランジスタを含んでおり、前記変換部は該薄膜トランジスタのゲートに接続され且つ該電圧レベルを保持する容量を備えており、前記調整手段は、該容量に接続した追加容量からなり、該容量に保持された該絶縁ゲート型電界効果トランジスタのゲートに印加されるべき電圧レベルを下方調整する。或いは、前記駆動部は、ゲート、ドレイン及びソースを有する絶縁ゲート型電界効果トランジスタを含んでおり、前記変換部は一端が該絶縁ゲート型電界効果トランジスタのゲートに接続され且つ該電圧レベルを保持する容量を備えており、前記調整手段は、該変換部によって変換された該電圧レベルを該容量に保持する時該容量の他端の電位を調整して、該絶縁ゲート型電界効果トランジスタのゲートに印加されるべき電圧レベルを下方調整する。なお、前記発光素子は例えば有機エレクトロルミネッセンス素子を用いる。

【0018】

本発明の画素回路は次の特徴を有する。第一に、画素への輝度情報の書き込みは、輝度に応じた大きさの信号電流をデータ線に流すことによって行われ、その

電流は画素内部の変換用絶縁ゲート型電界効果トランジスタのソース・ドレイン間を流れ、結果その電流レベルに応じたゲート・ソース間電圧を生ずる。第二に、上記で生じたゲート・ソース間電圧、またはゲート電位は、画素内部に形成された、もしくは寄生的に存在する容量の作用によって保持され、書き込み終了後も所定の期間、概ねそのレベルを保つ。第三に、OLEDに流れる電流は、それと直列に接続された前記変換用絶縁ゲート型電界効果トランジスタ自身、もしくはそれは別に画素内部に設けられ該変換用絶縁ゲート型電界効果トランジスタとゲートを共通接続された駆動用絶縁ゲート型電界効果トランジスタによって制御され、OLED駆動の際のゲート・ソース間電圧が、第一の特徴によって生じた変換用絶縁ゲート型電界効果トランジスタのゲート・ソース間電圧に概ね等しい。第四に、書き込み時には、第1の走査線によって制御される取込用絶縁ゲート型電界効果トランジスタによってデータ線と画素内部が導通され、第2の走査線によって制御されるスイッチ用絶縁ゲート型電界効果トランジスタによって前記変換用絶縁ゲート型電界効果トランジスタのゲート・ドレイン間が短絡される。以上まとめると、従来例においては輝度情報が電圧値の形で与えられたのに対し、本発明の表示装置においては電流値の形で与えられること、即ち電流書き込み型であることが著しい特徴である。

【0019】

本発明は、既に述べたようにTFTの特性ばらつきによらず、正確に所望の電流をOLEDに流すことを目的とするが、上記第一ないし第四の特徴によって、本目的が達成できる理由を以下に説明する。なお、以下変換用絶縁ゲート型電界効果トランジスタをTFT1、駆動用絶縁ゲート型電界効果トランジスタをTFT2、取込用絶縁ゲート型電界効果トランジスタをTFT3、スイッチ用絶縁ゲート型電界効果トランジスタをTFT4と記す。但し本発明はTFT（薄膜トランジスタ）に限られるものではなく、単結晶シリコン基板やSOI基板に形成される単結晶シリコントランジスタなど広く絶縁ゲート型電界効果トランジスタを能動素子として採用可能である。さて、輝度情報の書き込み時、TFT1に流す信号電流を I_w 、その結果TFT1に生ずるゲート・ソース間電圧を V_{gs} とする。書き込み時はTFT4によってTFT1のゲート・ドレイン間が短絡されて

いるので、TFT1は飽和領域で動作する。よって、 I_w は、以下の式で与えられる。

$$I_w = \mu_1 \cdot C_{ox1} \cdot W_1 / L_1 / 2 (V_{gs} - V_{th1})^2 \quad \dots \quad (3)$$

ここで各パラメータの意味は前記(1)式の場合に準ずる。次に、OLEDに流れる電流を I_{drv} とすると、 I_{drv} は、OLEDと直列に接続されるTFT2によって電流レベルが制御される。本発明では、そのゲート・ソース間電圧が(3)式の V_{gs} に一致するので、TFT2が飽和領域で動作すると仮定すれば、以下の式が成り立つ。

$$I_{drv} = \mu_2 \cdot C_{ox2} \cdot W_2 / L_2 / 2 (V_{gs} - V_{th2})^2 \quad \dots \quad (4)$$

各パラメータの意味は前記(1)式の場合に準ずる。なお、絶縁ゲート電界効果型の薄膜トランジスタが飽和領域で動作するための条件は、 V_{ds} をドレイン・ソース間電圧として、一般に以下の式で与えられる。

$$|V_{ds}| > |V_{gs} - V_{th}| \quad \dots \quad (5)$$

【0020】

ここで、TFT1とTFT2とは、小さな画素内部に近接して形成されるため、事実上 $\mu_1 = \mu_2$ 、 $C_{ox1} = C_{ox2}$ 、 $V_{th1} = V_{th2}$ と考えられる。すると、このとき(3)式及び(4)式から容易に以下の式が導かれる。

$$I_{drv} / I_w = (W_2 / L_2) / (W_1 / L_1) \quad \dots \quad (6)$$

ここで注意すべき点は、(3)式及び(4)式において、 μ 、 C_{ox} 、 V_{th} の値自体は、画素毎、製品毎、あるいは製造ロット毎にばらつくのが普通であるが、(6)式はこれらのパラメータを含まないので、 I_{drv} / I_w の値はこれらのばらつきに依存しないということである。例えば $W_1 = W_2$ 、 $L_1 = L_2$ と設計すれば、 $I_{drv} / I_w = 1$ 、すなわち I_w と I_{drv} が同一の値となる。すなわちTFTの特性ばらつきによらず、OLEDに流れる駆動電流 I_{drv} は、正確に信号電流 I_w と同一となるので、結果としてOLEDの発光輝度を正確に制御できる。上記は一例であるが、以下に実施例を挙げて説明するように、 W_1 、 W_2 、 L_1 、 L_2 の設定如何によって I_w と I_{drv} の比は自由に決められるし、あるいはTFT1とTFT2とを同一のTFTで兼用することも可能であ

る。

【0021】

このように、本発明によれば、TFTの特性ばらつきによらず、正確な電流をOLEDに流すことができるが、更に(6)式によれば、 I_w と I_{drv} とが単純な比例関係にあることも大きな利点である。すなわち、図1の従来例においては、(1)式に示したように、 V_w と I_{drv} とがTFTの特性に依存して非線型であり、駆動側の電圧制御が複雑にならざるを得ない。また、(1)式に示したTFTの特性のうち、キャリア移動度 μ は、温度によって変動することが知られている。この場合、従来例では(1)式に従って、 I_{drv} が、ひいてはOLEDの発光輝度に変化してしまうが、本発明によればそのような心配もなく、安定して(6)式で与えられる I_{drv} の値をOLEDに供給できる。

【0022】

(4)式においては、TFT2が飽和領域で動作すると仮定したが、本発明はTFT2がリニア領域で動作する場合についても有効である。すなわち、TFT2がリニア領域で動作する場合は、 I_{drw} は以下の式で与えられる。

$$I_{drv} = \mu_2 \cdot C_{ox2} \cdot W_2 / L_2 * \{ (V_{gs} - V_{th2}) V_{ds2} - V_{ds2}^2 / 2 \} \quad \dots (7)$$

V_{ds2} はTFT2のドレイン・ソース間電圧である。ここでTFT1、TFT2は近接して配置されており、その結果 $V_{th1} = V_{th2} = V_{th}$ が成り立つものすると、(3)式、(7)式から V_{gs} 、 V_{th} を消去することができて、以下の式を得る。

$$I_{drv} = \mu_2 \cdot C_{ox2} \cdot W_2 / L_2 * \{ (2 I_w \cdot L_1 / \mu_1 \cdot C_{ox1} \cdot W_1)^{1/2} V_{ds2} - V_{ds2}^2 / 2 \} \quad \dots (8)$$

この場合、 I_w と I_{drv} の関係は、(6)式のような単純な比例関係にはならないが、(8)式には V_{th} が含まれていないことから、 V_{th} のばらつき(画面内のばらつきや製造ロット毎のばらつき)によって I_w と I_{drv} の関係が左右されることは無いことがわかる。すなわち、 V_{th} のばらつきによらず、所定の I_w を書き込むことによって、所望の I_{drv} を得ることができる。ただし、 μ や C_{ox} が画面内でばらつくような場合は、それらの値によって、特定の I

wをデータ線に与えた場合でも、(8)式から決まる I_{drv} の値はばらつくことになるので、TFT2は前述のように飽和領域で動作する方が望ましい。

【0023】

【発明の実施の形態】

図4は本発明による画素回路の例である。この回路は、信号電流が流れる変換用トランジスタTFT1、有機EL素子等からなる発光素子に流れる駆動電流を制御する駆動用トランジスタTFT2の他、第1の走査線scanAの制御によって画素回路とデータ線dataとを接続もしくは遮断する取込用トランジスタTFT3、第2の走査線scanBの制御によって書き込み期間中にTFT1のゲート・ドレインを短絡するスイッチ用トランジスタTFT4、TFT1のゲート・ソース間電圧を、書き込み終了後も保持するための容量C、及び発光素子OLEDから成る。図4でTFT3はPMOS、その他のトランジスタはNMOSで構成しているが、これは一例であって、必ずしもこの通りである必要はない。容量Cは、その一方の端子をTFT1のゲートに接続され、他方の端子はGND（接地電位）に接続されているが、GNDに限らず任意の一定電位でも良い。OLEDのアノード（陽極）は正の電源電位Vddに接続されている。

【0024】

基本的に、本発明にかかる表示装置は、走査線scanA及びscanBを順次選択する走査線駆動回路と、輝度情報に応じた電流レベルを有する信号電流 I_w を生成して逐次データ線dataに供給する電流源CSを含むデータ線駆動回路と、各走査線scanA、scanB及び各データ線dataの交差部に配されていると共に、駆動電流の供給を受けて発光する電流駆動型の発光素子OLEDを含む複数の画素とを備えている。特徴事項として、図4に示した当該画素は、当該走査線scanAが選択された時当該データ線dataから信号電流 I_w を取り込む受入部と、取り込んだ信号電流 I_w の電流レベルを一旦電圧レベルに変換して保持する変換部と、保持された電圧レベルに応じた電流レベルを有する駆動電流を当該発光素子OLEDに流す駆動部とからなる。具体的には、前記変換部は、ゲート、ソース、ドレイン及びチャネルを備えた変換用薄膜トランジスタTFT1と、そのゲートに接続した容量Cとを含んでいる。変換用薄膜トラン

ジスタTFT1は、該受入部によって取り込まれた信号電流 I_w を該チャンネルに流して変換された電圧レベルを該ゲートに発生させ、容量Cは該ゲートに生じた電圧レベルを保持する。更に前記変換部は、変換用薄膜トランジスタTFT1のドレインとゲートとの間に挿入されたスイッチ用薄膜トランジスタTFT4を含んでいる。スイッチ用薄膜トランジスタTFT4は、信号電流 I_w の電流レベルを電圧レベルに変換する時に導通し、変換用薄膜トランジスタTFT1のドレインとゲートを電氣的に接続してソースを基準とする電圧レベルをTFT1のゲートに生ぜしめる。又、スイッチ用薄膜トランジスタTFT4は、電圧レベルを容量Cに保持する時に遮断され、変換用薄膜トランジスタTFT1のゲート及びこれに接続した容量CをTFT1のドレインから切り離す。

【0025】

更に、前記駆動部は、ゲート、ドレイン、ソース及びチャンネルを備えた駆動用薄膜トランジスタTFT2を含んでいる。駆動用薄膜トランジスタTFT2は、容量Cに保持された電圧レベルをゲートに受け入れそれに応じた電流レベルを有する駆動電流をチャンネルを介して発光素子OLEDに流す。変換用薄膜トランジスタTFT1のゲートと駆動用薄膜トランジスタTFT2のゲートとが直接に接続されてカレントミラー回路を構成し、信号電流 I_w の電流レベルと駆動電流の電流レベルとが比例関係となる様にした。駆動用薄膜トランジスタTFT2は、画素内で対応する変換用薄膜トランジスタTFT1の近傍に形成されており、変換用薄膜トランジスタTFT1と同等の閾電圧を有する。駆動用薄膜トランジスタTFT2は飽和領域で動作し、そのゲートに印加された電圧レベルと閾電圧との差に応じた駆動電流を発光素子OLEDに流す。

【0026】

本画素回路の駆動方法は次の通りであり、駆動波形を図5に示す。先ず、書き込み時には第1の走査線scanA、第2の走査線scanBを選択状態とする。図5の例では、scanAを低レベル、scanBを高レベルとしている。両走査線が選択された状態でデータ線dataに電流源CSを接続することにより、TFT1に輝度情報に応じた信号電流 I_w が流れる。電流源CSは輝度情報に応じて制御される可変電流源である。このとき、TFT1のゲート・ドレイン間

はTFT4によって電氣的に短絡されているので(5)式が成立し、TFT1は飽和領域で動作する。従って、そのゲート・ソース間には(3)式で与えられる電圧 V_{gs} が生ずる。次に、scanA, scanBを非選択状態とする。詳しくは、まずscanBを低レベルとしてTFT4をoff状態とする。これによって V_{gs} が容量Cによって保持される。次にscanAを高レベルとしてoff状態とすることにより、画素回路とデータ線dataとが電氣的に遮断されるので、その後はデータ線dataを介して別の画素への書き込みを行うことができる。ここで、電流源CSが信号電流の電流レベルとして出力するデータは、scanBが非選択となる時点では有効である必要があるが、その後は任意のレベル(例えば次の画素の書き込みデータ)とされて良い。TFT2はTFT1とゲート及びソースが共通接続されており、かつ共に小さな画素内部に近接して形成されているので、TFT2が飽和領域で動作していれば、TFT2を流れる電流は(4)式で与えられ、これがすなわちOLEDに流れる駆動電流 I_{drv} となる。TFT2を飽和領域で動作させるには、OLEDでの電圧降下を考慮してもなお(5)式が成立するよう、十分な正電位をVddに与えれば良い。

【0027】

上記の駆動によれば、OLEDに流れる電流 I_{drv} は先の(6)式

$$I_{drv} = (W2/L2) / (W1/L1) \cdot I_w$$

で与えられ、TFTの特性ばらつきによらず、正確に I_w に比例した値となる。比例定数である $(W2/L2) / (W1/L1)$ については、諸般の事情を考慮して適当な値に定めることができる。例えば、一画素のOLEDに流すべき電流値が比較的小さな値、例えば10nAであるとした場合、現実問題として、信号電流 I_w としてはこのような小さな電流値を正確に供給することは難しいことがある。このような場合は、例えば $(W2/L2) / (W1/L1) = 1/100$ となるように設計すれば、(6)式から I_w としては1uAとなり、電流書き込み動作が容易になる。

【0028】

上記例では、TFT2が飽和領域で動作すると仮定したが、前述した様にリニア領域で動作する場合についても本発明は有効である。すなわち、TFT2がリ

ニア領域で動作する場合は、OLEDに流れる電流 I_{drv} は前記 (8) 式

$$I_{drv} = \mu_2 \cdot C_{ox2} \cdot W_2 / L_2 * \{ (2 I_w \cdot L_1 / \mu_1 \cdot C_{ox1} \cdot W_1)^{1/2} V_{ds2} - V_{ds2}^2 / 2 \}$$

で与えられる。上式において、 V_{ds2} は OLED の電流-電圧特性と OLED を流れる電流 I_{drv} によって決まる。 V_{dd} の電位と OLED の特性が与えられれば I_{drv} のみの関数ということである。この場合、 I_w と I_{drv} の関係は、(6) 式のような単純な比例関係にはならないが、 I_w が与えられれば、(8) 式を満たす I_{drv} が、OLED を流れる駆動電流になる。(8) 式には V_{th} が含まれていないことから、 V_{th} のばらつき (画面内の画素毎のばらつきや製造ロット毎のばらつき) によって I_w と I_{drv} の関係が左右されることはないことがわかる。すなわち、 V_{th} のばらつきによらず、所定の I_w を書き込むことによって、所望の I_{drv} を得ることができる。

【0029】

図 6 は、図 4 の画素回路をマトリクス状に並べて構成した表示装置の例である。その動作を以下に説明する。まず、垂直スタートパルス (VSP) がシフトレジスタを含む走査線駆動回路 A 21 と同じくシフトレジスタを含む走査線駆動回路 B 23 に入力される。走査線駆動回路 A 21、走査線駆動回路 B 23 は VSP を受けた後、垂直クロック ($VCKA$, $VCKB$) に同期してそれぞれ第 1 の走査線 $scanA1 \sim scanAN$ 、第 2 の走査線 $scanB1 \sim scanBN$ を順次選択する。各データ線 $data$ に対応して電流源 CS がデータ線駆動回路 22 内に設けられており、輝度情報に応じた電流レベルでデータ線を駆動する。電流源 CS は、図示の電圧/電流変換回路からなり、輝度情報を表す電圧に応じて信号電流を出力する。信号電流は選択された走査線上の画素に流れ、走査線単位で電流書き込みが行われる。各画素はその電流レベルに応じた強度で発光を開始する。ただし、 $VCKA$ は、 $VCKB$ に対し、遅延回路 24 によってわずかに遅延されている。これにより、図 5 に示したように、 $scanB$ が $scanA$ に先立って非選択となる。

【0030】

図 7 は図 4 の画素回路の変形例である。この回路は、図 4 における T F T 2 を

、TFT2aとTFT2bの2つのトランジスタを直列に接続したダブルゲート構成とし、また図4におけるTFT4を、TFT4aとTFT4bの2つのトランジスタを直列に接続したダブルゲート構成にしたものである。TFT2aとTFT2b及びTFT4aとTFT4bはそれぞれゲートを共通接続されているので、基本的には単一のトランジスタと同様の動作をし、その結果図7の画素回路も図4の画素回路と同様の動作をする。ところで、単一のトランジスタ、特にTFTでは、何らかの欠陥等によってオフ時のリーク電流が大きくなる場合がある。このため、リーク電流を抑えたい場合には複数のトランジスタを直列に接続する冗長構成を採用することが好ましい。こうすれば、いずれか一方のトランジスタにリークがあっても、他方のトランジスタのリークが小さければ、全体としてのリークは抑えられるからである。図7のTFT2aとTFT2bのような構成をとれば、リーク電流が少ないことによって、輝度ゼロ（電流ゼロ）の場合に表示の黒レベルの品位が良くなるというメリットを生ずる。またTFT4aとTFT4bのような構成をとれば、容量Cに書き込まれた輝度情報を安定に保持できるというメリットを生ずる。これらについては、同様に3つ以上のトランジスタを直列に構成することも可能である。以上のように本変形例では、前記受入部、前記変換部及び前記駆動部は複数の薄膜トランジスタTFTを組み合わせた電流回路を構成し、1つまたは2つ以上の薄膜トランジスタ（TFT）は電流回路中の電流リークを抑制するためにダブルゲート構造を有する。

【0031】

図8は本発明にかかる画素回路の他の実施例である。この回路は、信号電流 I_w が流れるトランジスタTFT1自身が、OLEDに流れる電流 I_{drv} を制御することが特徴である。前述の図4に示した画素回路では、TFT1とTFT2の特性（ V_{th} や μ など）が互いにわずかに異なっている場合、正確には（6）式が成立せず、 I_w と I_{drv} が正確には比例しない可能性があるが、図8の画素回路ではこのような問題が原理的に生じない。図8の画素回路は、TFT1の他、第1の走査線scanAの制御によって画素回路とデータ線dataとを接続もしくは遮断するトランジスタTFT3、第2の走査線scanBの制御によって書き込み期間中にTFT1のゲート・ドレインを短絡するトランジスタTFT

T4, TFT1のゲート・ソース間電圧を書き込み終了後も保持するための容量C、及び有機EL素子からなる発光素子OLEDを備えている。保持容量Cは、その一方の端子がTFT1のゲートに接続され、他方の端子はGND（接地電位）に接続されているが、GNDに限らず任意の一定電位でも良い。OLEDのアノード（陽極）は、走査線単位で配設されたアノード線Aに接続されている。TFT3はPMOS、その他のトランジスタはNMOSで構成しているが、これは一例であって、必ずしもこの通りである必要はない。

【0032】

以上のように本実施形態では、画素回路の駆動部は、変換部との間で変換用薄膜トランジスタTFT1を時分割的に共用している。即ち、駆動部は、信号電流 I_w の変換を完了した後変換用薄膜トランジスタTFT1を受入部から切り離して駆動用とし、保持された電圧レベルを変換用薄膜トランジスタTFT1のゲートに印加した状態でチャネルを通じ駆動電流を発光素子OLEDに流す。又、駆動部は、駆動時以外に変換用薄膜トランジスタTFT1を介して発光素子OLEDに流れる不要電流を遮断する制御手段を有する。本例の場合、制御手段は、整流作用を有する二端子型の発光素子OLEDの端子間電圧をアノード線Aにより制御して不要電流を遮断する。

【0033】

この回路の駆動方法は次の通りであり、駆動波形をは図9に示す。先ず、書き込み時には第1の走査線scanA、第2の走査線scanBを選択状態とする図9の例では、scanAを低レベル、scanBを高レベルとしている。ここでデータ線dataに電流値 I_w の電流源CSを接続するが、 I_w がOLEDを介して流れるのを防ぐために、OLEDのアノード線AはOLEDがoff状態となるように低レベル（例えばGNDないし負電位）としておく。これにより、TFT1に信号電流 I_w が流れる。このとき、TFT1のゲート・ドレイン間はTFT4によって電氣的に短絡されているので（5）式が成立し、TFT1は飽和領域で動作する。従って、そのゲート・ソース間には（3）式で与えられる電圧 V_{gs} が生ずる。次にscanA, scanBを非選択状態とする。詳しくは、まずscanBを低レベルとしてTFT4をoff状態とする。これによって

TFT1 生じた V_{gs} が容量 C に保持される。次に $scanA$ を高レベルとして TFT3 を off 状態とすることにより、画素回路とデータ線 $data$ とが電氣的に遮断されるので、その後はデータ線 $data$ を介して別の画素への書き込みを行うことができる。ここで、電流源 CS が信号電流 I_w として供給するデータは、 $scanB$ が非選択となる時点では有効である必要があるが、その後は任意の値（例えば次の画素の書き込みデータ）とされて良い。続いて、アノード線 A

を高レベルとする。TFT1 の V_{gs} は容量 C によって保持されているので、TFT1 が飽和領域で動作していれば、TFT1 を流れる電流は（3）式の I_w に一致し、これが即ち、OLED に流れる駆動電流 I_{drv} となる。つまり信号電流 I_w が OLED の駆動電流 I_{drv} と一致する。TFT1 を飽和領域で動作させるには、OLED での電圧降下を考慮しても尚（5）式が成立するよう、十分な正電位をアノード線 A に与えれば良い。上記の駆動によれば、OLED に流れる電流 I_{drv} は、TFT の特性ばらつきによらず、正確に I_w に一致する。

【0034】

図10は、図8に示した画素回路の変形例である。図10では、図8のようなアノード線はなく、OLED のアノードは一定の正電位 V_{dd} に接続されている一方、TFT1 のドレインと OLED のカソード（陰極）との間に P チャネルトランジスタ TFT5 が挿入されている。TFT5 のゲートは、走査線単位で配設された駆動線 drv で制御される。TFT5 を挿入する目的は、データ書き込み時に駆動線 drv を高レベルとして TFT5 を off 状態とし、信号電流 I_w が OLED を介して流れるのを防止することである。書き込みが終了した後、 drv を低レベルとして TFT5 を on 状態とし、OLED に駆動電流 I_{drv} を流す。これ以外の動作は図8の回路と同様である。

【0035】

本例は発光素子 OLED と直列に接続された TFT5 を含み、TFT5 に与える制御信号に応じて発光素子 OLED に流れる電流を遮断することが可能である。制御信号は、走査線 $scan$ と平行に設けた駆動線 drv を介して同一走査線上の各画素に含まれる TFT5 のゲートに与えられる。本例では、OLED と TFT1 との間に TFT5 が挿入されており、TFT5 のゲート電位の制御によっ

て、OLEDに流れる電流をオン/オフすることができる。本例によれば、各画素が発光するのは発光制御信号によってTFT5がオンしている時間分である。そのオン時間を τ とし、一フレームの時間をTとすると、画素が発光している時間的割合即ちデューティは概ね τ/T となる。発光素子の時間平均輝度はこのデューティに比例して変化する。従って、TFT5を制御してオン時間 τ を変更することにより、ELディスプレイの画面輝度を簡便且つ幅広い範囲で可変調整することもできる。

【0036】

以上のように本例では、制御手段が変換用薄膜トランジスタTFT1と発光素子OLEDとの間に挿入された制御用薄膜トランジスタTFT5からなる。制御用薄膜トランジスタTFT5は、OLEDの非駆動時に非導通状態となって変換用薄膜トランジスタTFT1と発光素子OLEDとを切り離し、駆動時には導通状態に切り替わる。更に、この制御手段は、非駆動時に駆動電流を遮断して発光素子OLEDを非発光状態に置くオフ時間と、駆動時に駆動電流を流して発光素子OLEDを発光状態に置くオン時間の割合を制御して、各画素の輝度を制御可能である。本例によれば、表示装置は走査線単位で輝度情報を各画素に書き込んだ後、次の走査線サイクル（フレーム）の輝度情報が新たに書き込まれる以前に、走査線単位で各画素に含まれる発光素子を一括して消灯できる。これによれば、輝度情報の書き込み後発光素子の点灯から消灯するまでの時間を調節できることになる。即ち、一走査サイクルにおける発光時間の割合（デューティ）を調節できることになる。発光時間（デューティ）の調節は等価的に各発光素子に供給する駆動電流を調節することに相当する。よって、デューティを調節することにより簡便且つ自在に表示輝度を調整することが可能である。更に重要な点は、デューティを適切に設定することで、等価的に駆動電流を大きくすることができる。例えば、デューティを $1/10$ にすると、駆動電流を10倍にしても同等の輝度を得られる。駆動電流を10倍にすればこれに対応する信号電流も10倍に出来る為、微弱な電流レベルを扱わなくて良い。

【0037】

図 11 は、図 8 に示した画素回路の別の変形例である。図 11 では、TFT1 のドレインと OLED のカソードとの間に TFT6 が挿入され、TFT6 のゲート・ドレイン間には TFT7 が接続され、そのゲートは第 2 の走査線 $scanB$ によって制御されている。TFT7 のソースと GND 電位との間には補助容量 C_2 が接続されている。この回路の駆動方法は図 8 の画素回路の場合と基本的に同様であるが、以下に説明する。尚、駆動波形は図 9 の場合と同様である。先ず、書き込み時には、走査線単位で配設されたアノード線 A を低レベル（例えば GND ないし負電位）として OLED に電流が流れないようにした状態で $scanA$ 、 $scanB$ を選択状態とすると、信号電流 I_w が TFT1 及び TFT6 を流れる。両 TFT 共、ゲート・ソース間がそれぞれ TFT4 及び TFT7 によって短絡されているので、飽和領域で動作する。次に $scanA$ 、 $scanB$ を非選択状態とする。これによって先に TFT1 及び TFT6 に生じた V_{gs} が容量 C 及び補助容量 C_2 によってそれぞれ保持される。次に $scanA$ を off 状態とすることにより、画素回路とデータ線 $data$ とが電氣的に遮断されるので、その後はデータ線 $data$ を介して別の画素への書き込みを行うことができる。続いてアノード線 A を高レベルとする。TFT1 の V_{gs} は容量 C によって保持されているので、TFT1 が飽和領域で動作していれば、TFT1 を流れる電流は (3) 式の I_w に一致し、これがすなわち OLED に流れる電流 I_{drv} となる。つまり信号電流 I_w が OLED の駆動電流 I_{drv} と一致する。

【0038】

ここで、TFT6 の作用について説明する。図 8 の画素回路においては、前述したように、信号電流 I_w と OLED の駆動電流は共に TFT1 によって決まるので、(3) 式、(4) 式より $I_w = I_{drv}$ であった。ただし、これは TFT1 を流れる電流 I_{ds} が、飽和領域において (1) 式で与えられる場合、すなわち I_{ds} がドレイン・ソース間電圧 V_{ds} に依存しないとした場合である。しかるに現実のトランジスタでは、 V_{gs} が一定であっても、 V_{ds} が大きい程 I_{ds} が大きくなる場合がある。これは、 V_{ds} が大きくなることによってドレイン近傍のピンチオフ点がソース側へ移動し、実効的なチャネル長が減少する、いわゆるショートチャネル効果や、ドレインの電位がチャネル電位に影響を与えてチ

チャネルの導電率が変化する、いわゆるバックゲート効果などのためである。この場合、トランジスタを流れる電流 I_{ds} は、例えば以下の式ようになる。

$$I_{ds} = \mu \cdot C_{ox} \cdot W/L/2 (V_{gs} - V_{th})^2 * (1 + \lambda \cdot V_{ds})$$

… (9)

従って、 I_{ds} は V_{ds} に依存することになる。ここで、 λ は正の定数である。この場合、図 8 の回路では、書き込み時と駆動時とで V_{ds} が同一でなければ、 I_w と I_{drv} とは一致しない。

【0039】

これに対し、図 11 の回路の動作を考える。図 11 の TFT 6 の動作に注目すると、そのドレイン電位は書き込み時と駆動時とで一般に同一ではない。例えば駆動時のドレイン電位の方が高い場合、TFT 6 の V_{ds} も大きくなり、これを (9) 式に当てはめれば、書き込み時と駆動時とで V_{gs} が一定であっても、 I_{ds} は駆動時の方が増加する。言い換えれば I_w より I_{drv} が大きくなって両者は一致しない。ところが、 I_{drv} は TFT 1 を流れるので、その場合 TFT 1 での電圧降下が大きくなり、そのドレイン電位 (TFT 6 のソース電位) が上昇する。この結果 TFT 6 の V_{gs} は小さくなり、これは I_{drv} を小さくする方向に作用する。結果として、TFT 1 のドレイン電位 (TFT 6 のソース電位) は大きく変動することができず、TFT 1 に注目すれば、書き込み時と駆動時とで I_{ds} が大きくは変わらないことがわかる。すなわち、 I_w と I_{drv} とがかなり精度よく一致することになる。この動作をより良く行わせるためには、TFT 1、TFT 6 共に V_{ds} に対する I_{ds} の依存性を小さくするのが良いので、両トランジスタを飽和領域で動作させることが望ましい。書き込み時には TFT 1、TFT 6 共にゲート・ドレイン間が短絡されているので、書き込まれる輝度データによらず、必然的に両者共飽和領域で動作する。駆動時にも飽和領域で動作させるには、OLED での電圧降下を考慮しても尚 TFT 6 が飽和領域で動作するよう、アノード線 A に十分な正電位を与えれば良い。この駆動によれば、OLED に流れる電流 I_{drv} は、TFT の特性ばらつきによらず、図 8 の実施例より正確に I_w に一致する。以上のように本例の駆動部は、変換用薄膜トランジスタ TFT 1 を通って発光素子 OLED に流れる駆動電流の電流レベルを安定

化するために、変換用薄膜トランジスタTFT1のソースを基準にしたドレインの電位を固定化する電位固定手段として、TFT6、TFT7及びC2を有する。

【0040】

図12は本発明にかかる画素回路の別の実施例である。この画素回路は、図8、図10、図11の回路と同様、信号電流 I_w が流れるトランジスタTFT1自身が、OLEDに流れる電流 I_{drv} を制御するが、図12ではOLEDがTFT1のソース側に接続されていることが特徴である。即ち、本画素回路の駆動部は、ゲート、ドレイン及びソースを備えた薄膜トランジスタTFT1を含み、ゲートに印加された電圧レベルに応じてドレインとソースの間を通る駆動電流を発光素子OLEDに流す。発光素子OLEDは、アノード及びカソードを有する二端子型であり、アノードがソースに接続している。これに対し、図8に示した画素回路の駆動部は、ゲート、ドレイン及びソースを備えた薄膜トランジスタを含み、ゲートに印加された電圧レベルに応じてドレインとソースの間を通る駆動電流を発光素子に流す一方、発光素子は、アノード及びカソードを有する二端子型であり、カソードがドレインに接続している。

【0041】

本例の画素回路は、TFT1の他、第1の走査線scanAの制御によって画素回路とデータ線dataとを接続もしくは遮断するトランジスタTFT3、第2の走査線scanBの制御によって書き込み期間中にTFT1のゲート・ドレインを短絡するトランジスタTFT4、TFT1のゲート電位を、書き込み終了後も保持するための容量C、TFT1のドレインと電源電位 V_{dd} との間に挿入されたPチャネルトランジスタTFT5、及び発光素子OLEDから成る。図12では、容量Cの一方の端子がGNDに接続されており書き込み時と駆動時とでTFT1の V_{gs} を概ね同じ値に保持する。尚、TFT5のゲートは駆動線 drv で制御される。TFT5を挿入する目的は、データ書き込み時に駆動線 drv を高レベルとしてTFT5をoff状態とし、信号電流 I_w をすべてTFT1に流すことである。書き込みが終了した後、 drv を低レベルとしてTFT5をon状態とし、OLEDに駆動電流 I_{drv} を流す。このように、駆動方法は図1

0 の回路と同様である。

【0042】

図 1 3 は、図 1 2 に示した画素回路の変形例である。図 1 2 と図 1 3 とでは、容量 C の一方の端子が、図 1 2 では GND、図 1 3 では TFT 1 のソースに接続されている点異なるが、いずれの場合も、書き込み時と駆動時とで TFT 1 の V_{gs} を概ね同じ値に保持するという点で機能的な差異はない。

【0043】

図 1 4 は図 4 に示した画素回路の発展例である。本画素回路は、変換部によって保持された電圧レベルを下方調整して駆動部に供給する調整手段を含んでおり、各画素の輝度の黒レベルを引き締める。具体的には、駆動部は、ゲート、ドレイン及びソースを有する薄膜トランジスタ TFT 2 を含んでおり、調整手段は、薄膜トランジスタ TFT 2 のゲートとソース間の電圧を底上げしてゲートに印加される電圧レベルを下方調整する定電圧源 E を備えている。即ち、TFT 2 のソースを TFT 1 のソース電位よりわずかに高い電位 E に接続することで、黒レベルを締める。

【0044】

図 1 5 は図 1 4 に示した画素回路の変形例である。本例では、調整手順は、薄膜トランジスタ TFT 2 のゲートと走査線 scan B に接続した追加容量 C 2 からなり、薄膜トランジスタ TFT 2 のゲートに印加する為容量 C に保持されるべき電圧レベルを下方調整する。即ち、scan B を低レベルに切り換えて非選択とする際に、C 2 の作用で TFT 2 のゲート電位を若干下げることが出来る。以上のように本表示装置は、画素を選択するための走査線 scan A と、画素を駆動するための輝度情報を与えるデータ線 data とがマトリクス状に配設され、各画素は、供給される電流量によって輝度が変化する発光素子 OLED と、走査線 scan A によって制御され且つデータ線 data から与えられた輝度情報を画素に書き込む書込手段 (TFT 1, TFT 3, C) と、書き込まれた輝度情報に応じて発光素子 OLED に供給する電流量を制御する駆動手段 (TFT 2) とを含み、各画素への輝度情報の書き込みは、走査線 scan A が選択された状態で、データ線 data に輝度情報に応じた電気信号 I_w を印加することによって

行われ、各画素に書き込まれた輝度情報は走査線 $scan A$ が非選択となった後も各画素に保持され、各画素の発光素子 $OLED$ は保持された輝度情報に応じた輝度で点灯を維持可能であって、書込手段 ($TFT1$, $TFT3$, C) によって書き込まれた輝度情報を下方調整して駆動手段 ($TFT2$) に供給する調整手段 ($C2$) を含んでおり、各画素の輝度の黒レベルを引き締めることができる。

【0045】

図16は図14に示した画素回路の変形例である。本例では、調整手順は、 $TFT1$ によって変換された電圧レベルを容量 C に保持する時、容量 C の一端の電位を調整して、 $TFT2$ のゲートに印加されるべき電圧レベルを下方調整する。即ち、容量 C の一端に接続したソース電位制御線 S を制御することで、黒レベルを締める。電位制御線 S を、書き込み時より低電位とすると、容量 C の作用で $TFT2$ のゲート電位が若干下がるためである。電位制御線 S は走査線単位で設け制御する。電位制御線 S は書き込み中に "H" レベルとし、書き込み終了後 "L" レベルとする。振幅を ΔV_s , $TFT2$ のゲートに存在する容量 (ゲート容量、その他の寄生容量) を C_p とすると、 $TFT2$ のゲート電位は $\Delta V_g = \Delta V_s * C / (C + C_p)$ だけ低下し、 V_{gs} が小さくなる。H, L電位の絶対値は任意に設定できる。

【0046】

【発明の効果】

本発明の画素回路、及びその駆動法によれば、能動素子 (TFT など) の特性ばらつきによらず、データ線からの信号電流 I_w に正確に比例 (または対応) する駆動電流 I_{drv} を、電流駆動型の発光素子 (有機 EL 素子など) に流すことが可能である。このような画素回路をマトリクス状に多数配置することにより、各画素を正確に所望の輝度で発光させることができるので、高品位なアクティブマトリクス型表示装置を提供することが可能である。

【図面の簡単な説明】

【図1】

従来の画素回路の例を示す回路図である。

【図2】

従来の表示装置の構成例を示すブロック図である。

【図 3】

従来の表示装置の構成例を示す断面図である。

【図 4】

本発明にかかる画素回路の実施形態を示す回路図である。

【図 5】

図 4 の実施形態における各信号の波形の例を示す波形図である。

【図 6】

図 4 の実施形態にかかる画素回路を使用した表示装置の構成例を示すブロック図である。

【図 7】

図 4 の実施形態の変形例を示す回路図である。

【図 8】

本発明にかかる画素回路の他の実施形態を示す回路図である。

【図 9】

図 8 の実施形態における各信号の波形の例を示す波形図である。

【図 1 0】

図 8 の実施形態の変形例を示す回路図である。

【図 1 1】

図 8 の実施形態の変形例を示す回路図である。

【図 1 2】

図 8 の実施形態の変形例を示す回路図である。

【図 1 3】

図 8 の実施形態の変形例を示す回路図である。

【図 1 4】

本発明にかかる画素回路の別の実施形態を示す回路図である。

【図 1 5】

図 1 4 の実施形態の変形例を示す回路図である。

【図 1 6】

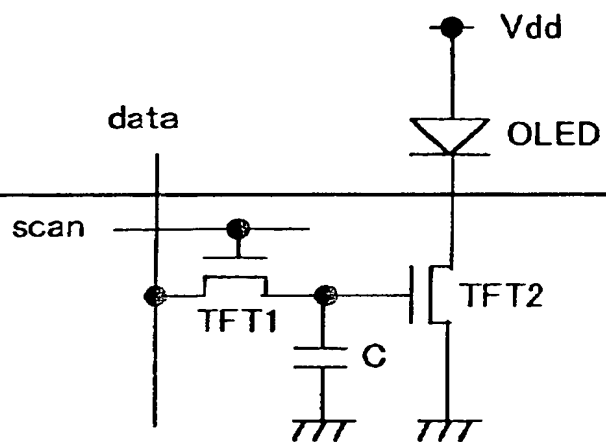
図 1 4 の実施形態の変形例を示す回路図である。

【符号の説明】

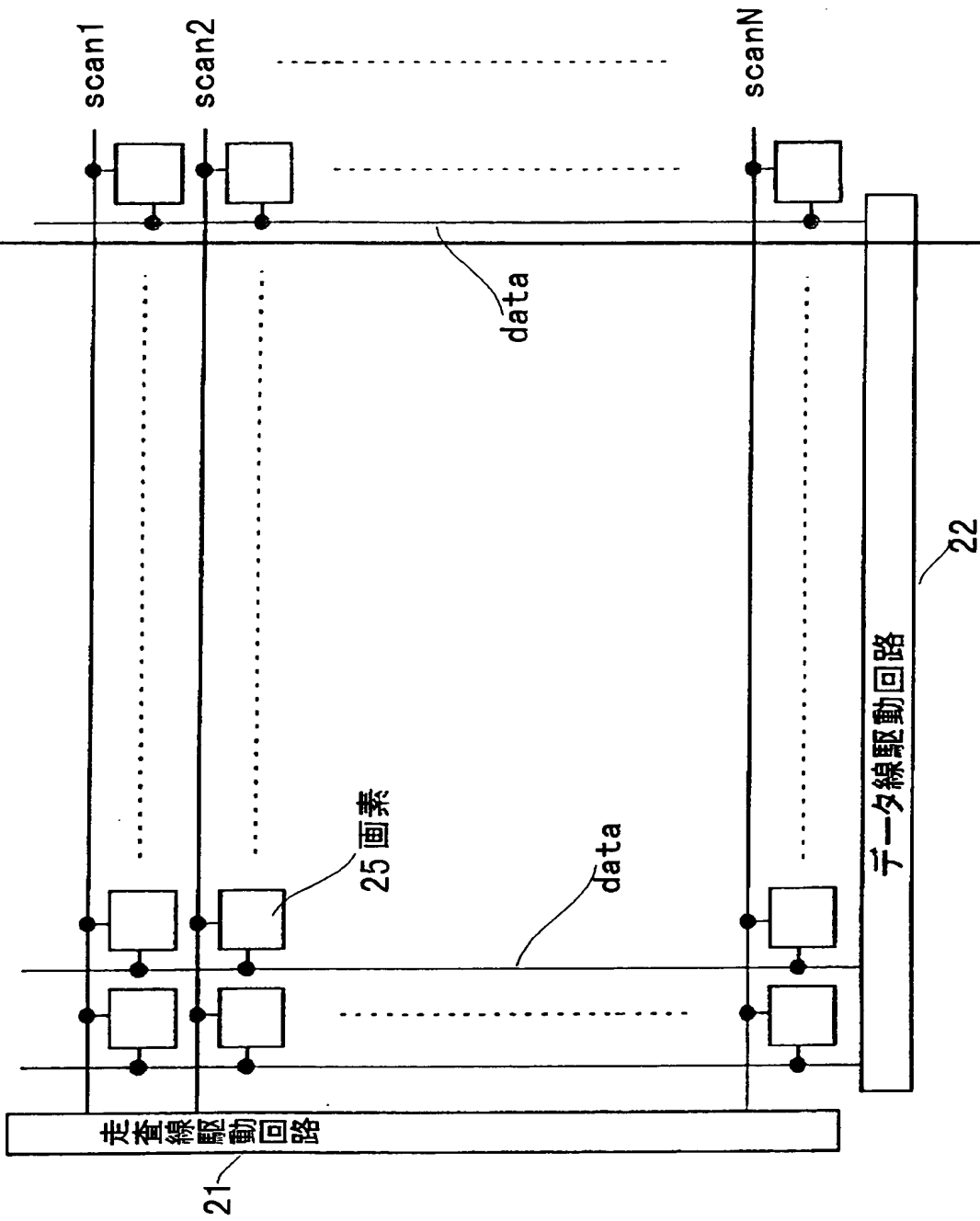
O L E D . . . 発光素子、T F T 1 . . . 変換用薄膜トランジスタ、T F T 2 . . . 駆動用薄膜トランジスタ、T F T 3 . . . 取込用薄膜トランジスタ、T F T 4 . . . スイッチ用薄膜トランジスタ、C . . . 保持容量、C S . . . 電流源、
s c a n A . . . 走査線、s c a n B . . . 走査線、d a t a . . . データ線、
2 1 . . . 走査線駆動回路、2 2 . . . データ線駆動回路、2 3 . . . 走査線駆動回路、2 5 . . . 画素

【書類名】 図面

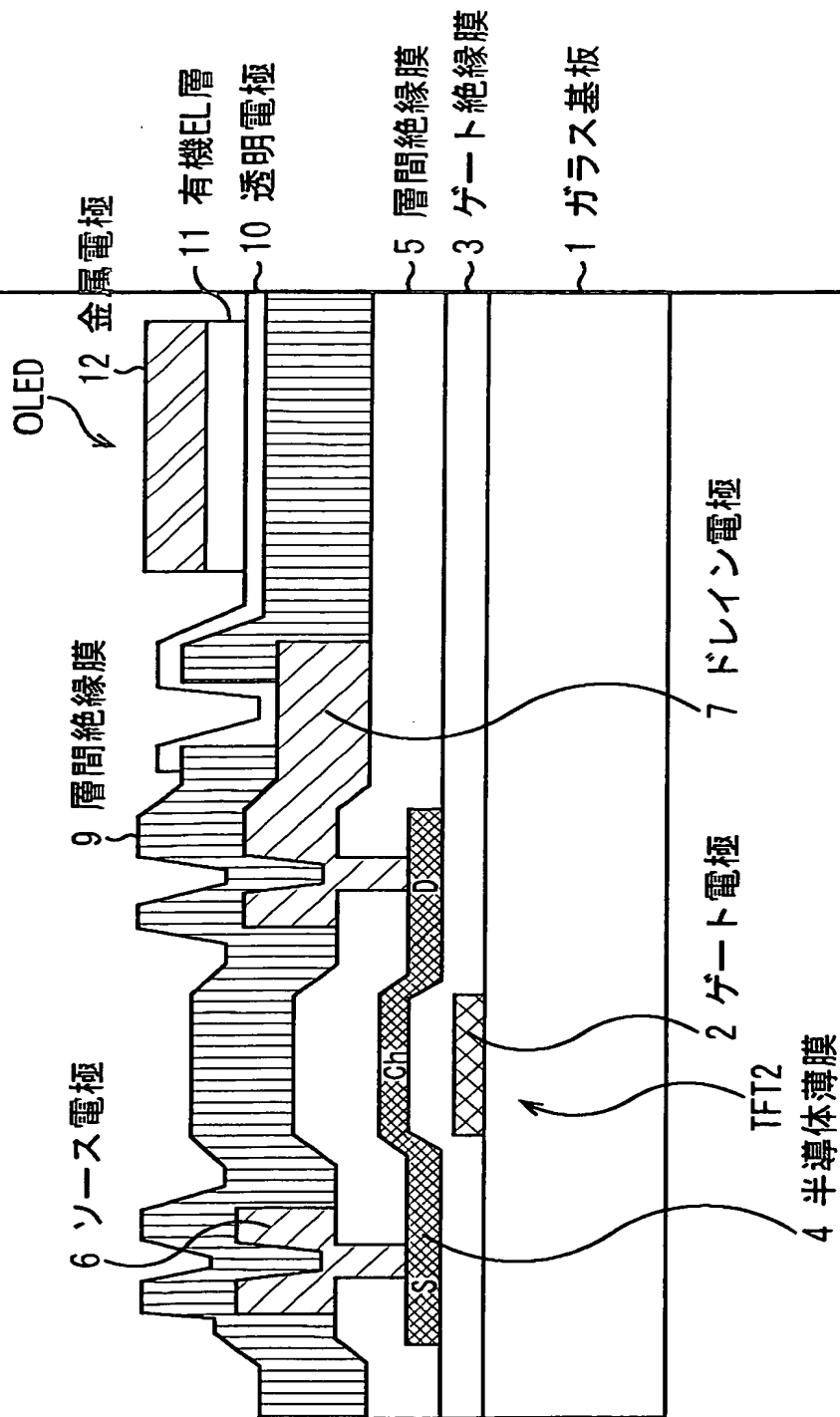
【図 1】



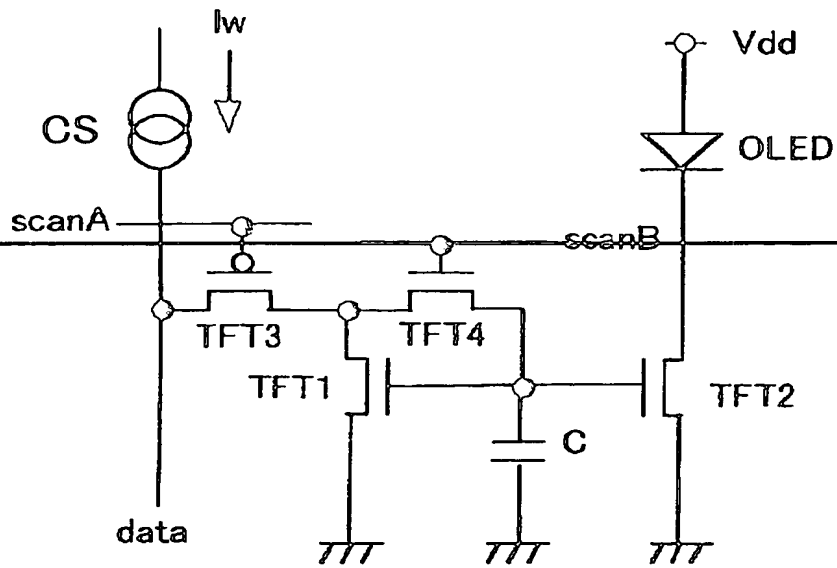
【図 2】



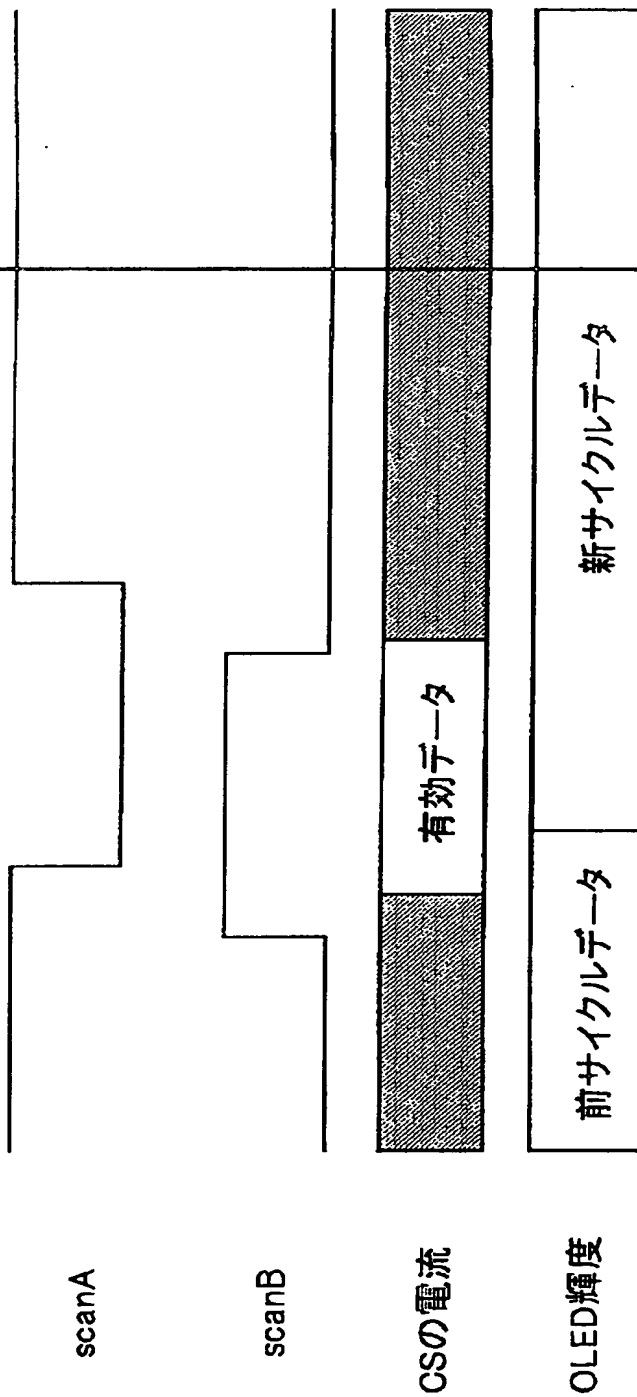
【図 3】



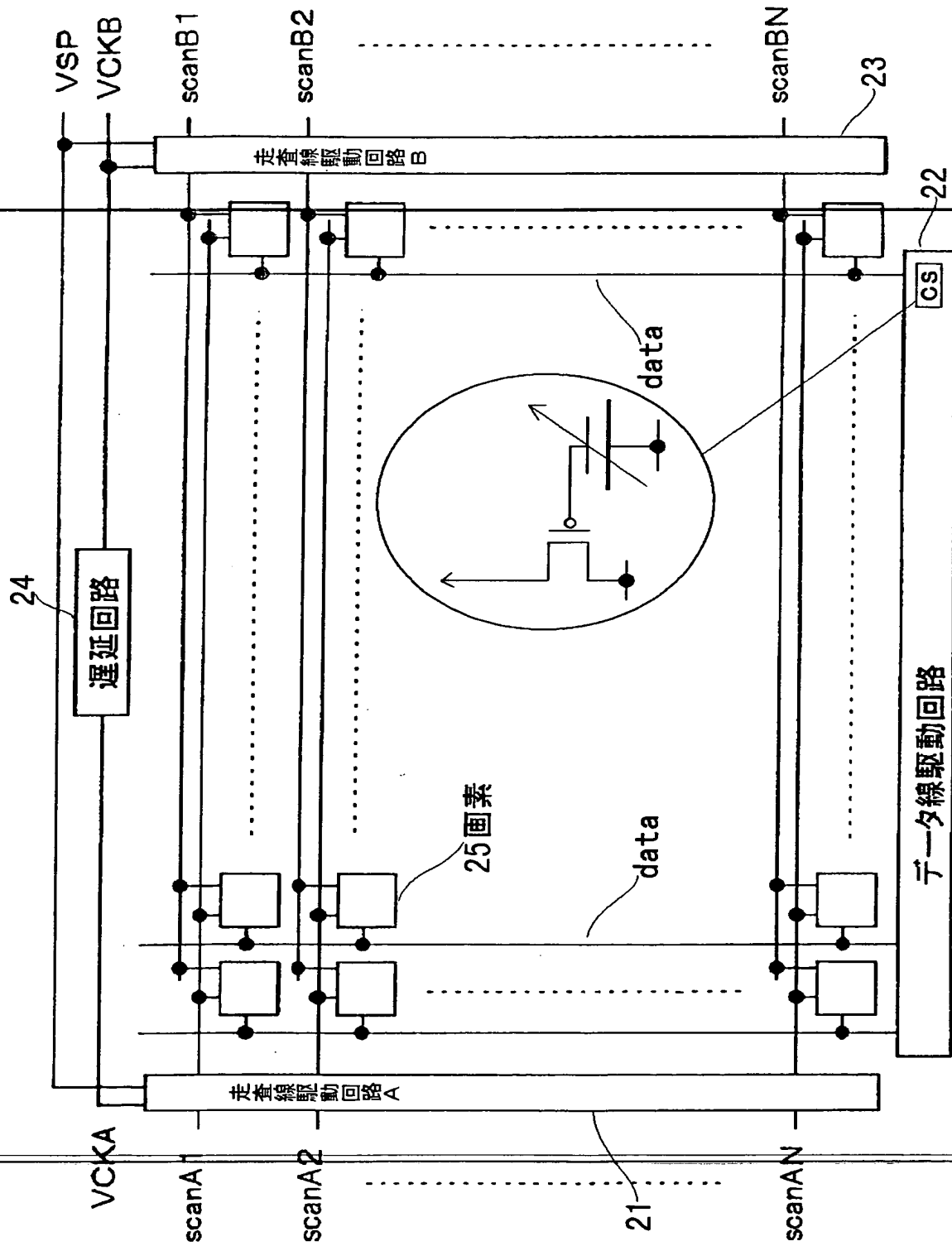
【図 4】



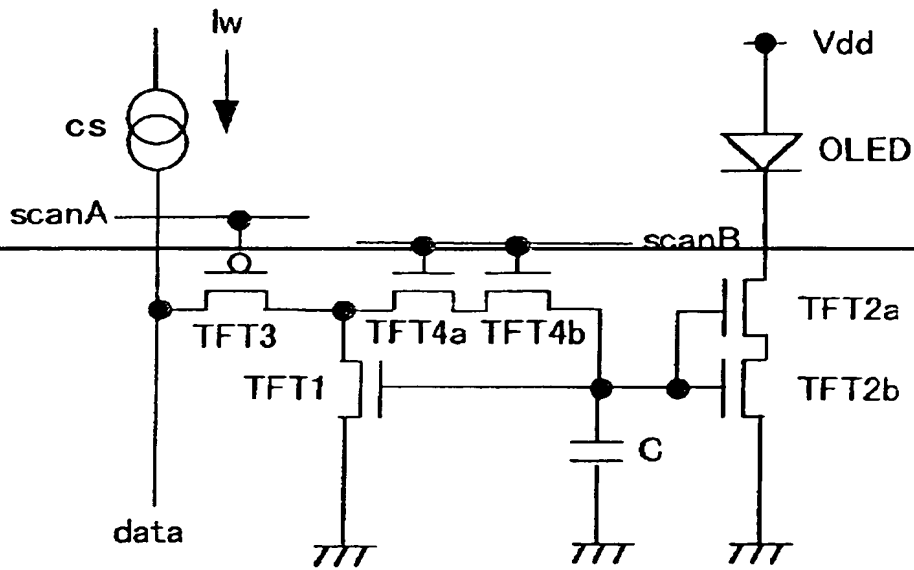
【図 5】



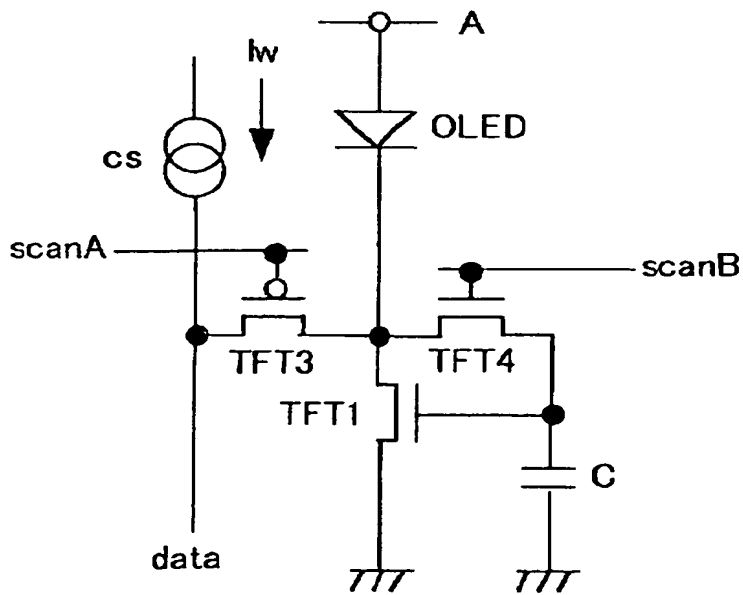
【図 6】



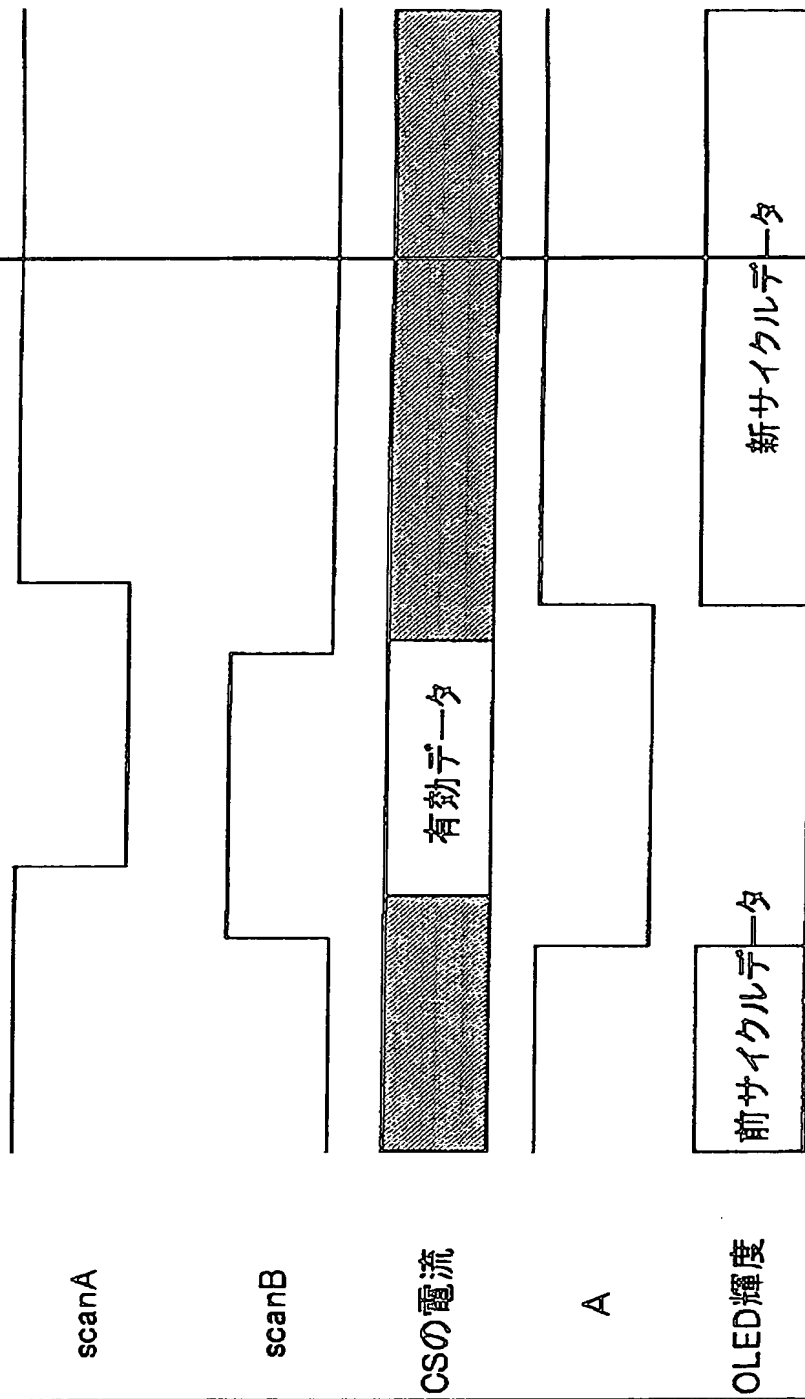
【図 7】



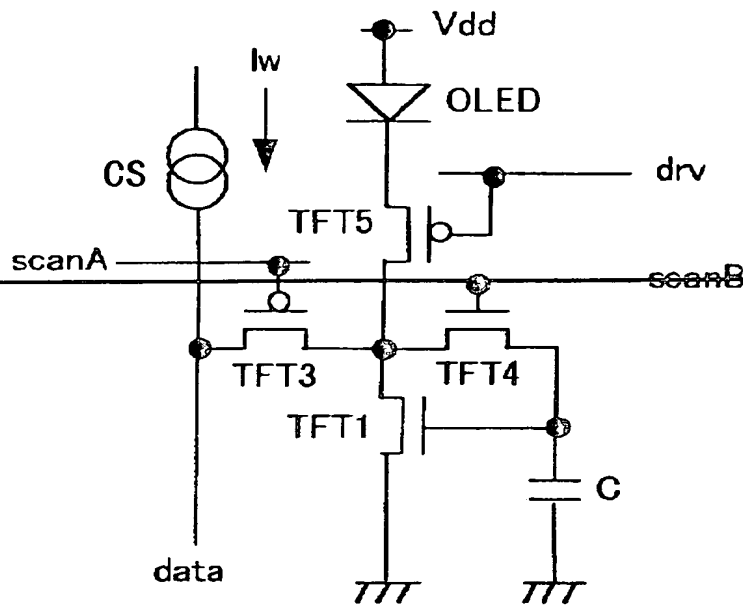
【図 8】



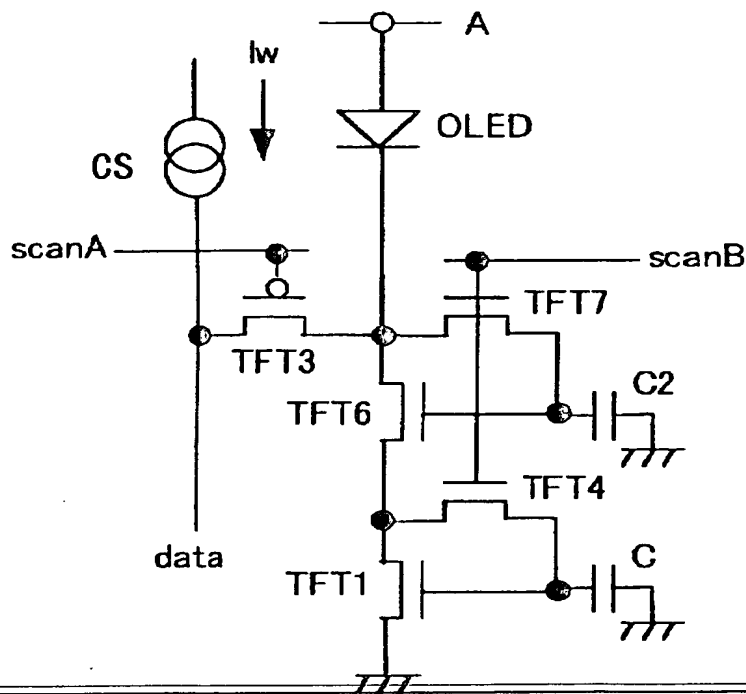
【図 9】



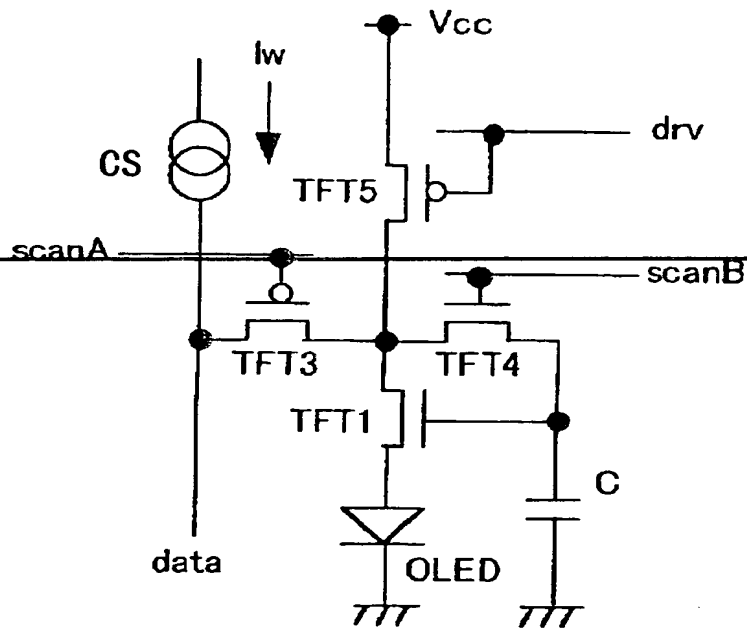
【図 10】



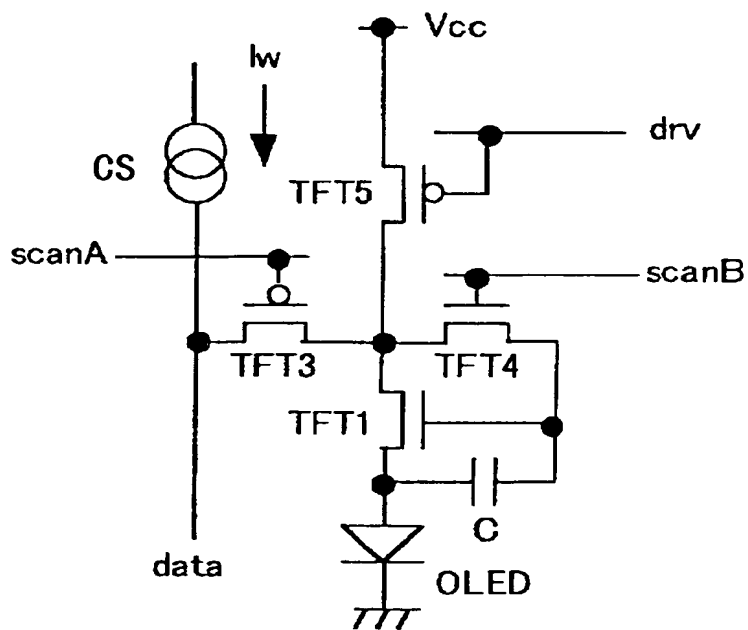
【図 11】



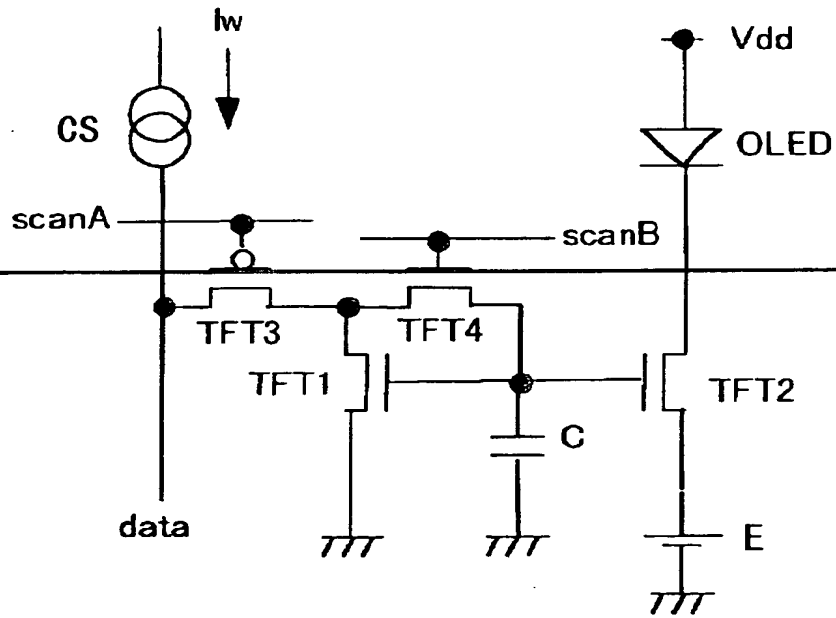
【図 1 2】



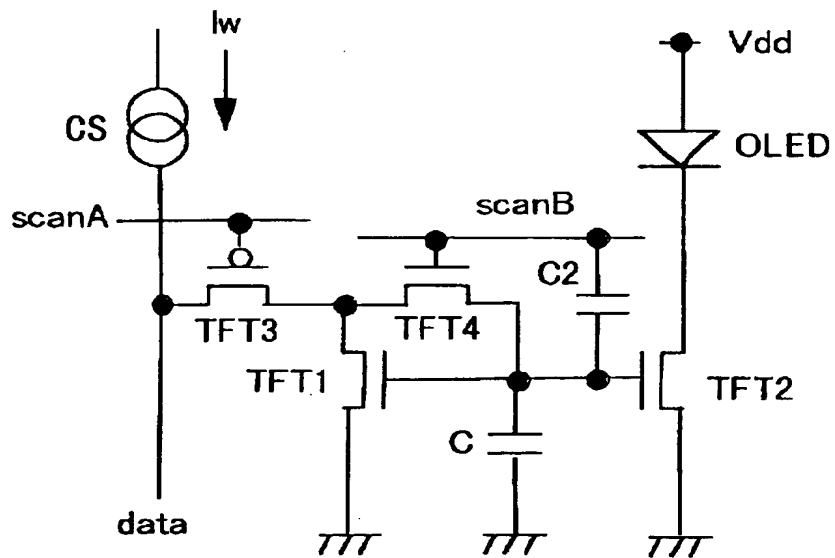
【図 1 3】



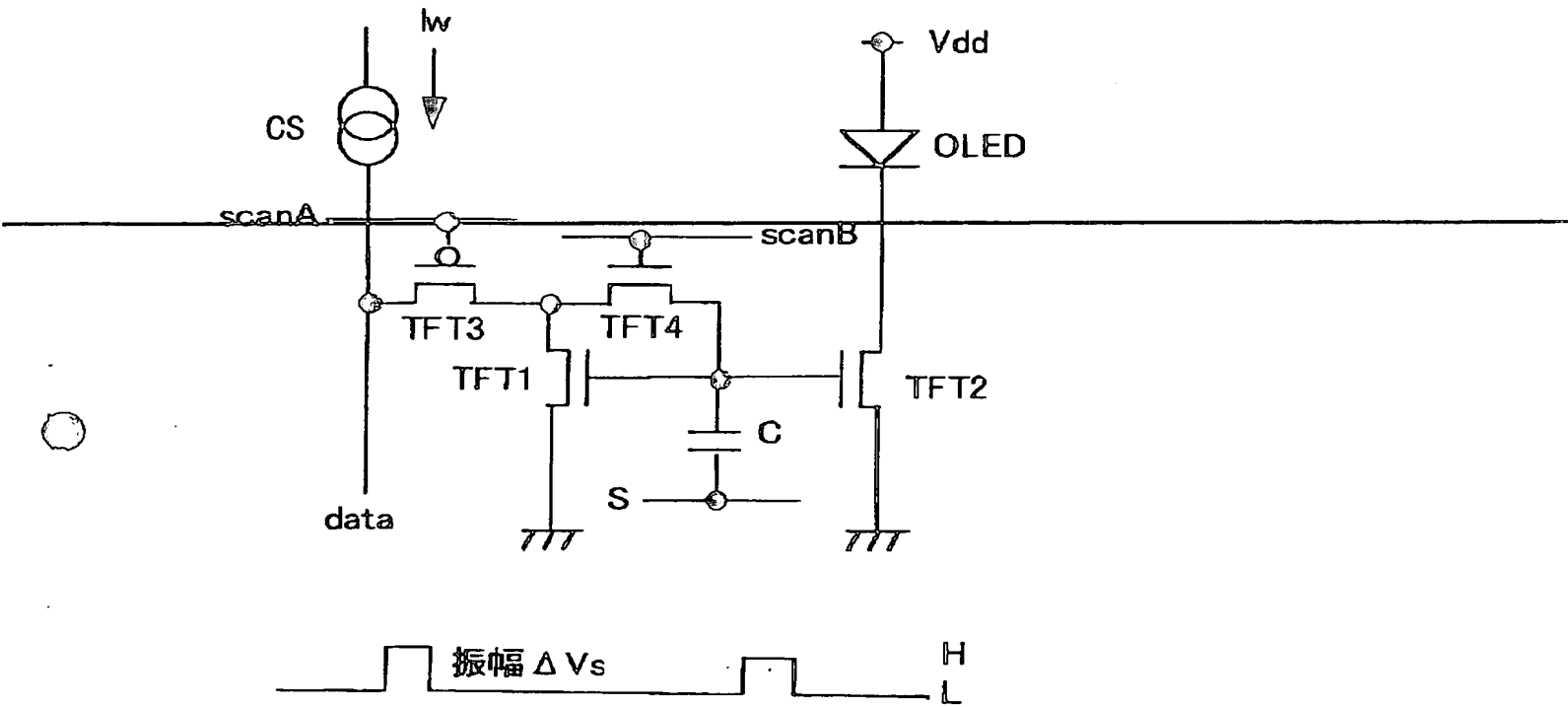
【図 14】



【図 15】



【図 1 6】



【書類名】 要約書

【要約】

【課題】 画素内部の能動素子の特性ばらつきによらず、安定且つ正確に各画素の発光素子に所望の電流を供給し、その結果として高品位な画像を表示することが可能な表示装置を提供する。

【解決手段】 各画素は、走査線 $s c a n A$ が選択された時データ線 $d a t a$ から信号電流 $I w$ を取り込む受入用トランジスタ $T F T 3$ と、取り込んだ信号電流 $I w$ の電流レベルを一旦電圧レベルに変換して保持する変換用トランジスタ $T F T 1$ と、保持された電圧レベルに応じた電流レベルを有する駆動電流を発光素子 $O L E D$ に流す駆動用トランジスタ $T F T 2$ とからなる。変換用薄膜トランジスタ $T F T 1$ は、 $T F T 3$ によって取り込まれた信号電流 $I w$ を自身のチャンネルに流して変換された電圧レベルを自身のゲートに発生させ、容量 C は $T F T 1$ のゲートに生じた電圧レベルを保持する。 $T F T 2$ は、 C に保持された電圧レベルに応じた電流レベルを有する駆動電流を発光素子 $O L E D$ に流す。

【選択図】 図 4

特平 11-200843

出 願 人 履 歴 情 報

識別番号

[000002185]

1. 変更年月日 1990年 8月30日

[変更理由] 新規登録

住 所 東京都品川区北品川6丁目7番35号

氏 名 ソニー株式会社